

J1046 U.S. PTO
09/850053
05/08/01



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Kazutaka INUKAI
Serial No. : New Application
Filed : May 8, 2001
Title : LIGHT EMITTING DEVICE

Art Unit : Unknown
Examiner : Unknown

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

Japan Application No. 2000-134810 filed May 8, 2000

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: May 8, 2001

William Hare
William D. Hare
Reg. No. 44,739

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

J1046 U.S.
09/850053
05/06/01

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 5月 8日

出願番号

Application Number:

特願2000-134810

出願人

Applicant(s):

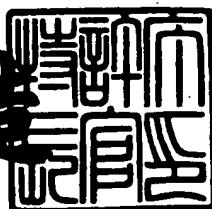
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3026051

【書類名】 特許願
【整理番号】 P004901
【提出日】 平成12年 5月 8日
【あて先】 特許庁長官 殿
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 犬飼 和隆
【特許出願人】
【識別番号】 000153878
【氏名又は名称】 株式会社半導体エネルギー研究所
【代表者】 山崎 舜平
【手数料の表示】
【予納台帳番号】 002543
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【ブルーフの要否】 要

【書類名】明細書

【発明の名称】電気光学装置

【特許請求の範囲】

【請求項1】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、EL素子と、スイッチング用TFTと、EL駆動用TFTとをそれぞれ有し、

前記EL素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられたEL層とを有し、

前記対向電源線駆動回路によって前記対向電極の電位が制御され、

前記ゲート信号線駆動回路によって前記スイッチング用TFTの駆動が制御され、

前記スイッチング用TFTによって前記EL駆動用TFTの駆動が制御され、

前記EL駆動用TFTによって前記画素電極の電位が制御されることを特徴とする電気光学装置。

【請求項2】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、EL素子と、スイッチング用TFTと、EL駆動用TFTとをそれぞれ有し、

前記EL素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられたEL層とを有し、

前記ゲート信号線駆動回路によって前記スイッチング用TFTの駆動が制御され、

前記スイッチング用TFTによって前記EL駆動用TFTの駆動が制御され、前記EL駆動用TFTによって前記画素電極の電位が制御され、前記対向電源

線駆動回路によって前記対向電極の電位が制御されることで、前記EL素子の発光する時間が制御され、階調表示が行われることを特徴とする電気光学装置。

【請求項3】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記ゲート信号線駆動回路に接続された複数のゲート信号線と、前記対向電源線駆動回路に接続された複数の対向電源線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、EL素子とをそれぞれ有し、

前記スイッチング用TFTが有するゲート電極は、前記複数のゲート信号線のいずれか1つと接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか1つと接続され、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、

前記EL素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられたEL層とを有し、

前記EL駆動用TFTが有するソース領域は前記複数の電源供給線のいずれか1つに接続されており、前記EL駆動用TFTが有するドレイン領域は前記画素電極に接続されており、

前記対向電極は前記複数の対向電源線のいずれか1つと接続されていることを特徴とする電気光学装置。

【請求項4】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記ゲート信号線駆動回路に接続された複数のゲート信号線と、前記対向電源線駆動回路に接続された複数の対向電源線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、EL素子とをそれぞれ有し、

前記スイッチング用TFTが有するゲート電極は、前記複数のゲート信号線のいずれか1つと接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか1つと接続され、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、

前記EL素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と対向電極の間に設けられたEL層とを有し、

前記EL駆動用TFTが有するソース領域は前記複数の電源供給線のいずれか1つに接続されており、前記EL駆動用TFTが有するドレイン領域は前記画素電極に接続されており、

前記対向電極は前記複数の対向電源線のいずれか1つと接続されていることを特徴とする電気光学装置。

【請求項5】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、EL素子と、スイッチング用TFTと、EL駆動用TFTとをそれぞれ有し、

前記EL素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられたEL層とを有し、

前記対向電源線駆動回路によって前記対向電極の電位が制御され、

前記ゲート信号線駆動回路によって前記スイッチング用TFTの駆動が制御され、

前記スイッチング用TFTによって前記EL駆動用TFTの駆動が制御され、

前記EL駆動用TFTによって前記画素電極の電位が制御され、

前記画素部の各ラインの画素のそれぞれにおいて、1フレーム期間中にn個の表示期間Tr1、Tr2、…及びTrnと、j個の非表示期間Td1、Td2、…及びTdjとが出現し、

前記 n 個の表示期間 T_r1、T_r2、…または T_rn のうち任意の表示期間 T_ri (i = 1、…、n) は、n 個の書き込み期間 T_a1、T_a2、…または T_an のうち任意の書き込み期間 T_ai においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E_L 素子の前記対向電極にオンの対向電位が与えられてから、前記 n 個の書き込み期間 T_a1、T_a2、…または T_an のうち前記書き込み期間 T_ai の次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E_L 素子の前記対向電極にオンの対向電位が与えられるまで、もしくは j 個の消去期間 T_e1、T_e2、…または T_ej のうち任意の消去期間 T_ek (k = 1、…、j) において前記画素部の各ラインの画素がそれぞれ有する全ての前記 E_L 素子の前記対向電極にオフの対向電位が与えられるまでの期間であり、

前記 j 個の非表示期間 T_d1、T_d2、…または T_dj のうち任意の非表示期間 T_dk は、前記 j 個の消去期間 T_e1、T_e2、…または T_ej のうち任意の消去期間 T_ek において前記画素部の各ラインの画素がそれぞれ有する全ての前記 E_L 素子の前記対向電極にオフの対向電位が与えられてから、前記 n 個の書き込み期間 T_a1、T_a2、…または T_an のうち前記消去期間 T_ek の次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E_L 素子の前記対向電極にオンの対向電位が与えられるまでの期間であり、

前記 n 個の書き込み期間 T_a1、T_a2、…または T_an のいずれか 1 つは、前記 j 個の消去期間 T_e1、T_e2、…または T_ej のいずれか 1 つまたは 2 つと一部重なっており、

前記 n 個の書き込み期間 T_a1、T_a2、…及び T_an が全て出現した後、再び前記 n 個の書き込み期間 T_a1、T_a2、…または T_an のいずれか 1 つが出現し、

前記デジタルビデオ信号によって、前記 n 個の表示期間 T_r1、T_r2、…及び T_rn において前記 E_L 素子が発光するか発光しないかが選択され、

前記 n 個の表示期間 T_r1、T_r2、…及び T_rn の長さの比は、2⁰ : 2¹ :

…、 $2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項 6】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、EL素子と、スイッチング用TFTと、EL駆動用TFTとをそれぞれ有し、

前記EL素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられたEL層とを有し、

前記ゲート信号線駆動回路によって前記スイッチング用TFTの駆動が制御され、

前記スイッチング用TFTによって前記EL駆動用TFTの駆動が制御され、前記EL駆動用TFTによって前記画素電極の電位が制御され、前記対向電源線駆動回路によって前記対向電極の電位が制御されることで、前記EL素子の発光する時間が制御され、階調表示が行われ、

前記画素部の各ラインの画素のそれれにおいて、1フレーム期間中にn個の表示期間Tr1、Tr2、…及びTrnと、j個の非表示期間Td1、Td2、…及びTdjとが出現し、

前記n個の表示期間Tr1、Tr2、…またはTrnのうち任意の表示期間Tr_i(i=1, …, n)は、n個の書き込み期間Ta1、Ta2、…またはTaNのうち任意の書き込み期間Ta_iにおいてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記EL素子の前記対向電極にオンの対向電位が与えられてから、前記n個の書き込み期間Ta1、Ta2、…またはTaNのうち前記書き込み期間Ta_iの次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記EL素子の前記対向電極にオンの対向電位が与えられるまで、もしくはj個の消去期間Te1、Te2、…またはTejのうち任意の消去期間Tek(k=1, …, j)において前記画素部の各ラインの画素がそれぞれ有する全ての前

記EL素子の前記対向電極にオフの対向電位が与えられるまでの期間であり、

前記j個の非表示期間Td1、Td2、…またはTdjのうち任意の非表示期間Tdkは、前記j個の消去期間Te1、Te2、…またはTejのうち任意の消去期間Tekにおいて前記画素部の各ラインの画素がそれぞれ有する全ての前記EL素子の前記対向電極にオフの対向電位が与えられてから、前記n個の書き込み期間Ta1、Ta2、…またはTanのうち前記消去期間Tekの次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記EL素子の前記対向電極にオンの対向電位が与えられるまでの期間であり、

前記n個の書き込み期間Ta1、Ta2、…またはTanのいずれか1つは、前記j個の消去期間Te1、Te2、…またはTejのいずれか1つまたは2つと一部重なっており、

前記n個の書き込み期間Ta1、Ta2、…及びTanが全て出現した後、再び前記n個の書き込み期間Ta1、Ta2、…またはTanのいずれか1つが出現し、

前記デジタルビデオ信号によって、前記n個の表示期間Tr1、Tr2、…及びTrnにおいて前記EL素子が発光するか発光しないかが選択され、

前記n個の表示期間Tr1、Tr2、…及びTrnの長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項7】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記ゲート信号線駆動回路に接続された複数のゲート信号線と、前記対向電源線駆動回路に接続された複数の対向電源線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、EL素子とをそれぞれ有し、

前記スイッチング用TFTが有するゲート電極は、前記複数のゲート信号線の

いずれか1つと接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか1つと接続され、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、

前記EL素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられたEL層とを有し、

前記EL駆動用TFTが有するソース領域は前記複数の電源供給線のいずれか1つに接続されており、前記EL駆動用TFTが有するドレイン領域は前記画素電極に接続されており、

前記対向電極は前記複数の対向電源線のいずれか1つと接続され、

前記画素部の各ラインの画素のそれぞれにおいて、1フレーム期間中にn個の表示期間Tr1、Tr2、…及びTrnと、j個の非表示期間Td1、Td2、…及びTdjとが出現し、

前記n個の表示期間Tr1、Tr2、…またはTrnのうち任意の表示期間Tr_i(i=1, …, n)は、n個の書き込み期間Ta1、Ta2、…またはTaNのうち任意の書き込み期間Ta_iにおいてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記EL素子の前記対向電極にオンの対向電位が与えられてから、前記n個の書き込み期間Ta1、Ta2、…またはTaNのうち前記書き込み期間Ta_iの次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記EL素子の前記対向電極にオンの対向電位が与えられるまで、もしくはj個の消去期間Te1、Te2、…またはTejのうち任意の消去期間Tek(k=1, …, j)において前記画素部の各ラインの画素がそれぞれ有する全ての前記EL素子の前記対向電極にオフの対向電位が与えられるまでの期間であり、

前記j個の非表示期間Td1、Td2、…またはTdjのうち任意の非表示期間Tdkは、前記j個の消去期間Te1、Te2、…またはTejのうち任意の消去期間Tekにおいて前記画素部の各ラインの画素がそれぞれ有する全ての前記EL素子の前記対向電極にオフの対向電位が与えられてから、前記n個の書き込み期間Ta1、Ta2、…またはTaNのうち前記消去期間Tekの次に出現

する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記EL素子の前記対向電極にオンの対向電位が与えられるまでの期間であり、

前記n個の書き込み期間Ta1、Ta2、…またはTaNのいずれか1つは、前記j個の消去期間Te1、Te2、…またはTeVのいずれか1つまたは2つと一部重なっており、

前記n個の書き込み期間Ta1、Ta2、…及びTaNが全て出現した後、再び前記n個の書き込み期間Ta1、Ta2、…またはTaNのいずれか1つが出現し、

前記デジタルビデオ信号によって、前記n個の表示期間Tr1、Tr2、…及びTrnにおいて前記EL素子が発光するか発光しないかが選択され、

前記n個の表示期間Tr1、Tr2、…及びTrnの長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項8】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記ゲート信号線駆動回路に接続された複数のゲート信号線と、前記対向電源線駆動回路に接続された複数の対向電源線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、EL素子とをそれぞれ有し、

前記スイッチング用TFTが有するゲート電極は、前記複数のゲート信号線のいずれか1つと接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか1つと接続され、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、

前記EL素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と対向電極の間に設けられたEL層とを有し、

前記EL駆動用TFTが有するソース領域は前記複数の電源供給線のいずれか

1つに接続されており、前記E L駆動用T F Tが有するドレイン領域は前記画素電極に接続されており、

前記対向電極は前記複数の対向電源線のいずれか1つと接続され、

前記画素部の各ラインの画素のそれぞれにおいて、1フレーム期間中にn個の表示期間T r 1、T r 2、…及びT r nと、j個の非表示期間T d 1、T d 2、…及びT d jとが出現し、

前記n個の表示期間T r 1、T r 2、…またはT r nのうち任意の表示期間T r i (i = 1, …, n)は、n個の書き込み期間T a 1、T a 2、…またはT a nのうち任意の書き込み期間T a iにおいてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記E L素子の前記対向電極にオンの対向電位が与えられてから、前記n個の書き込み期間T a 1、T a 2、…またはT a nのうち前記書き込み期間T a iの次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記E L素子の前記対向電極にオンの対向電位が与えられるまで、もしくはj個の消去期間T e 1、T e 2、…またはT e jのうち任意の消去期間T e k (k = 1, …, j)において前記画素部の各ラインの画素がそれぞれ有する全ての前記E L素子の前記対向電極にオフの対向電位が与えられるまでの期間であり、

前記j個の非表示期間T d 1、T d 2、…またはT d jのうち任意の非表示期間T d kは、前記j個の消去期間T e 1、T e 2、…またはT e jのうち任意の消去期間T e kにおいて前記画素部の各ラインの画素がそれぞれ有する全ての前記E L素子の前記対向電極にオフの対向電位が与えられてから、前記n個の書き込み期間T a 1、T a 2、…またはT a nのうち前記消去期間T e kの次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記E L素子の前記対向電極にオンの対向電位が与えられるまでの期間であり、

前記n個の書き込み期間T a 1、T a 2、…またはT a nのいずれか1つは、前記j個の消去期間T e 1、T e 2、…またはT e jのいずれか1つまたは2つと一部重なっており、

前記n個の書き込み期間Ta1、Ta2、…及びTaNが全て出現した後、再び前記n個の書き込み期間Ta1、Ta2、…またはTaNのいずれか1つが出現し、

前記デジタルビデオ信号によって、前記n個の表示期間Tr1、Tr2、…及びTrnにおいて前記EL素子が発光するか発光しないかが選択され、

前記n個の表示期間Tr1、Tr2、…及びTrnの長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項9】

請求項5乃至請求項8のいずれか1項において、

前記非表示期間Td1、Td2、…、Tdjのうち一番長い非表示期間が、フレーム期間中において一番最後に出現することを特徴とする電気光学装置。

【請求項10】

請求項5乃至請求項9のいずれか1項において、前記書き込み期間Ta1、Ta2、…、TaNは互いに重なっていないことを特徴とする電気光学装置。

【請求項11】

請求項5乃至請求項10のいずれか1項において、前記消去期間Te1、Te2、…、Tejは互いに重なっていないことを特徴とする電気光学装置。

【請求項12】

請求項1乃至請求項11のいずれか1項において、前記EL層は低分子系有機物質またはポリマー系有機物質であることを特徴とする電気光学装置。

【請求項13】

請求項12において、前記低分子系有機物質は、Alq₃（トリス-8-キノリライトアルミニウム）またはTPD（トリフェニルアミン誘導体）からなることを特徴とする電気光学装置。

【請求項14】

請求項12において、前記ポリマー系有機物質は、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）またはポリカーボネートからなることを特徴とする電気光学装置。

【請求項15】

請求項11乃至請求項14のいずれか1項において、前記画素電極が陽極である場合、前記EL駆動用TFTはpチャネル型TFTであることを特徴とする電気光学装置。

【請求項16】

請求項11乃至請求項14のいずれか1項において、前記画素電極が陰極である場合、前記EL駆動用TFTはnチャネル型TFTであることを特徴とする電気光学装置。

【請求項17】

請求項11乃至請求項16のいずれか1項において、前記画素電極と、前記EL駆動用TFTが有するドレイン領域とは、直接、もしくは少なくとも1つの配線を介して接続されており、

前記画素電極が、前記EL駆動用TFTが有するドレイン領域、もしくは前記少なくとも1つの配線と接続している領域の上にバンクが形成されていることを特徴とする電気光学装置。

【請求項18】

請求項17において、前記バンクは遮光性を有していることを特徴とする電気光学装置。

【請求項19】

請求項1乃至請求項18のいずれか1項において、前記スイッチング用TFTまたは前記EL駆動用TFTがトップゲート型であることを特徴とする電気光学装置。

【請求項20】

請求項1乃至請求項18のいずれか1項において、前記スイッチング用TFTまたは前記EL駆動用TFTがボトムゲート型であることを特徴とする電気光学装置。

【請求項21】

請求項1乃至請求項20のいずれか1項において、前記EL駆動用TFTは線形領域で駆動することを特徴とする電気光学装置

【請求項22】

請求項1乃至請求項21のいずれか1項において、コンピューターであること
を特徴とする電気光学装置。

【請求項23】

請求項1乃至請求項21のいずれか1項において、ビデオカメラであること
を特徴とする電気光学装置。

【請求項24】

請求項1乃至請求項21のいずれか1項において、DVDプレーヤーであるこ
とを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はEL(エレクトロルミネッセンス)素子を基板上に作り込んで形成さ
れた電子ディスプレイに関する。特に半導体素子(半導体薄膜を用いた素子)を
用いたELディスプレイに関する。またELディスプレイを表示部に用いた電気
光学装置に関する。

【0002】

【従来の技術】

近年、基板上にTFTを形成する技術が大幅に進歩し、アクティブマトリクス
型の電子ディスプレイへの応用開発が進められている。特に、ポリシリコン膜を
用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果
移動度(モビリティともいう)が高いので、高速動作が可能である。そのため、
従来基板の外に設けられた駆動回路で行っていた画素の制御を、画素と同一の基
板上に形成した駆動回路で行うことが可能となっている。

【0003】

このようなアクティブマトリクス型の電子ディスプレイは、同一基板上に様々
な回路や素子を作り込むことで製造コストの低減、電子ディスプレイの小型化、
歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0004】

そしてさらに、自発光型素子としてEL素子を有したアクティブマトリクス型

のELディスプレイの研究が活発化している。ELディスプレイは有機ELディスプレイ（OELD：Organic EL Display）又は有機ライトエミッティングダイオード（OLED：Organic Light Emitting Diode）とも呼ばれている。

【0005】

ELディスプレイは、液晶ディスプレイと異なり自発光型である。EL素子は一対の電極（陽極と陰極）間にEL層が挟まれた構造となっているが、EL層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているELディスプレイは殆どこの構造を採用している。

【0006】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0007】

本明細書において陰極と陽極の間に設けられる全ての層を総称してEL層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。

【0008】

そして、上記構造でなるEL層に一対の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてEL素子が発光することを、EL素子が駆動すると呼ぶ。また、本明細書中では、陽極、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

【0009】

ELディスプレイの駆動方法として、アナログ方式の駆動方法（アナログ駆動）が挙げられる。ELディスプレイのアナログ駆動について、図23及び図24を用いて説明する。

【0010】

図23にアナログ駆動のELディスプレイの画素部の構造を示す。ゲート信号

線駆動回路からのゲート信号を入力するゲート信号線（G₁～G_y）は、各画素が有するスイッチング用TFT1801のゲート電極に接続されている。また各画素の有するスイッチング用TFT1801のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線（データ信号線ともいう）S₁～S_xに、もう一方が各画素が有するEL駆動用TFT1804のゲート電極及び各画素が有するコンデンサ1808にそれぞれ接続されている。

【0011】

各画素が有するEL駆動用TFT1804のソース領域は電源供給線V₁～V_xに接続されており、ドレイン領域はEL素子1806に接続されている。電源供給線V₁～V_xの電位を電源電位と呼ぶ。また電源供給線V₁～V_xは、各画素が有するコンデンサ1808に接続されている。

【0012】

EL素子1806は陽極と、陰極と、陽極と陰極の間に設けられたEL層とを有する。EL素子1806の陽極がEL駆動用TFT1804のドレイン領域と接続している場合、EL素子1806の陽極が画素電極、陰極が対向電極となる。逆にEL素子1806の陰極がEL駆動用TFT1804のドレイン領域と接続している場合、EL素子1806の陽極が対向電極、陰極が画素電極となる。

【0013】

なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差がEL駆動電圧であり、このEL駆動電圧がEL層にかかる。

【0014】

図23で示したELディスプレイを、アナログ方式で駆動させた場合のタイミングチャートを図24に示す。1つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を1ライン期間（L）と呼ぶ。またアナログ駆動において、1つの画像が表示されてから次の画像が表示されるまでの期間が1フレーム期間（F）に相当する。図23のELディスプレイの場合、ゲート信号線はy本あるので、1フレーム期間中にy個のライン期間（L₁～L_y）が設けられている。

【0015】

解像度が高くなるにつれて1フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならなくなる。

【0016】

まず電源供給線V1～Vxは一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、EL素子が発光する程度に電源電位との間に電位差を有している。

【0017】

第1のライン期間(L1)において、ゲート信号線駆動回路からゲート信号線G1に入力されるゲート信号によって、ゲート信号線G1が選択される。

【0018】

なお本明細書においてゲート信号線が選択されるとは、該ゲート信号線にゲート電極が接続された薄膜トランジスタが全てオンの状態になることを意味する。

【0019】

そして、ソース信号線S1～Sxに順にアナログのビデオ信号が入力される。ゲート信号線G1に接続された全てのスイッチング用TFT1801はオンの状態になっているので、ソース信号線S1～Sxに入力されたアナログのビデオ信号は、スイッチング用TFT1801を介してEL駆動用TFT1804のゲート電極に入力される。

【0020】

EL駆動用TFT1804のチャネル形成領域を流れる電流の量は、EL駆動用TFT1804のゲート電極に入力される信号の電位の高さ(電圧)によって制御される。よって、EL素子1806の画素電極にかかる電位は、EL駆動用TFT1804のゲート電極に入力されたアナログのビデオ信号の電位の高さによって決まる。そしてEL素子1806はアナログのビデオ信号の電位に制御されて発光を行う。

【0021】

上述した動作を繰り返し、ソース信号線S1～Sxへのアナログのビデオ信号の入力が終了すると、第1のライン期間(L1)が終了する。なお、ソース信

号線 S₁～S_xへのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて 1 つのライン期間としても良い。

【0022】

そして次に第 2 のライン期間 (L₂) となり、ゲート信号によってゲート信号線 G₂ が選択される。そして第 1 のライン期間 (L₁) と同様にソース信号線 S₁～S_x に順にアナログのビデオ信号が入力される。

【0023】

そして全てのゲート信号線 (G₁～G_y) にゲート信号が入力されると、全てのライン期間 (L₁～L_y) が終了する。全てのライン期間 (L₁～L_y) が終了すると、1 フレーム期間が終了する。1 フレーム期間中において全ての画素が表示を行い、1 つの画像が形成される。なお全てのライン期間 (L₁～L_y) と垂直帰線期間とを合わせて 1 フレーム期間としても良い。

【0024】

以上のように、アナログのビデオ信号によって EL 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ駆動方法と呼ばれる駆動方式であり、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

【0025】

【発明が解決しようとする課題】

上述したアナログ駆動方法において、EL 素子に供給される電流量が EL 駆動用 TFT のゲート電圧によって制御される様子を図 25 を用いて詳しく説明する。

【0026】

図 25 (A) は EL 駆動用 TFT のトランジスタ特性を示すグラフであり、2801 は I_{DS} - V_{GS} 特性（又は I_{DS} - V_{GS} 曲線）と呼ばれている。ここで I_{DS} はドレイン電流であり、 V_{GS} はゲート電極とソース領域間の電圧（ゲート電圧）である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0027】

アナログ駆動方法において階調表示を行う場合、EL素子は上記 $I_{DS} - V_{GS}$ 特性の点線2802で示した領域を用いて駆動する。2802で囲んだ領域の拡大図を図25（B）に示す。

【0028】

図25（B）において、斜線で示す領域は飽和領域と呼ばれている。具体的には、しきい値電圧を V_{TH} とすると、 $|V_{GS} - V_{TH}| < |V_{DS}|$ を満たすようなゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

【0029】

スイッチング用TFTがオンとなって画素内に入力されたアナログのビデオ信号はEL駆動用TFTのゲート電圧となる。このとき、図25（A）に示した $I_{DS} - V_{GS}$ 特性に従ってゲート電圧に対してドレイン電流が1対1で決まる。即ち、EL駆動用TFTのゲート電極に入力されるアナログのビデオ信号の電圧に対応して、ドレイン領域の電位が定まり、所定のドレイン電流がEL素子に流れ、その電流量に対応した発光量で前記EL素子が発光する。

【0030】

以上のように、ビデオ信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【0031】

しかしながら、上記アナログ駆動はTFTの特性のバラツキに非常に弱いという欠点がある。仮に各画素のEL駆動用TFTに等しいゲート電圧がかかったとしても、EL駆動用TFTの $I_{DS} - V_{GS}$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図25（A）からも明らかのようにゲート電圧の変化に対して指数関数的にドレイン電流が変化する飽和領域を使っているため、 $I_{DS} - V_{GS}$ 特性が僅かでもずれれば、等しいゲート電圧がかかっても出力される電流量は大きく異なるといった事態が生じうる。こうなってしまうと、僅かな $I_{DS} - V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまう。

【0032】

このように、アナログ駆動はEL駆動用TFTの特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型のELディスプレイの階調表示における障害となっていた。

【0033】

本発明は上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型のELディスプレイを提供することを課題とする。そして、そのようなアクティブマトリクス型ELディスプレイを表示用ディスプレイとして具備する高性能な電気光学装置（電子機器）を提供することを課題とする。

【0034】

【課題を解決するための手段】

本発明者は、アナログ駆動の問題は、ゲート電圧の変化に対してドレン電流が指指数関数的に変化するために $I_{DS}-V_{GS}$ 特性のばらつきの影響を受けやすい飽和領域を用いて階調表示を行っていることに起因すると考えた。

【0035】

即ち、 $I_{DS}-V_{GS}$ 特性のばらつきがあった場合に、飽和領域はゲート電圧の変化に対してドレン電流が指指数関数的に変化するため、等しいゲート電圧がかかってもでも異なる電流（ドレン電流）が出力されてしまい、その結果、所望の階調が得られないという不具合が生じるのである。

【0036】

そこで本発明人は、EL素子の発する光の量の制御を、飽和領域を用いた電流の制御により行うのではなく、主にEL素子が発光する時間の制御によって行うことを考えた。つまり本発明ではEL素子の発する光の量を時間で制御し、階調表示を行う。EL素子の発光時間を制御することで階調表示を行う時分割方式の駆動方法（以下、デジタル駆動という）と呼ぶ。なお時分割方式の駆動方法によって行われる階調表示を時分割階調表示と呼ぶ。

【0037】

上記構成によって本発明では、EL駆動用TFTの $I_{DS}-V_{GS}$ 特性に多少のば

らつきがあっても、同じ電圧の信号を入力したときにEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0038】

【発明の実施の形態】

以下に、本発明のELディスプレイの構造及びその駆動方法について説明する。ここではnビットのデジタルビデオ信号により 2^n 階調の表示を行う場合について説明する。

【0039】

図1に本発明のELディスプレイのブロック図の一例を示す。図1のELディスプレイは、基板上に形成された TFT によって画素部101、画素部101の周辺に配置されたソース信号線駆動回路102、ゲート信号線駆動回路103、対向電源線駆動回路104を有している。なお、本実施の形態において示すELディスプレイはソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路とをそれぞれ1つずつ有しているが、本発明はこれに限定されない。ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路の数は任意に定めることができる。

【0040】

また本発明において、ソース信号線駆動回路102、ゲート信号線駆動回路103または対向電源線駆動回路104は、画素部101が設けられている基板上に設けても良いし、ICチップ上に設けてFPCまたはTABを介して画素部101と接続されるようにしても良い。

【0041】

画素部101の拡大図を図2に示す。ソース信号線S1～Sx、電源供給線V1～Vx、ゲート信号線G1～Gy、対向電源線E1～Eyが画素部101に設けられている。

【0042】

ソース信号線S1～Sxと、電源供給線V1～Vxと、ゲート信号線G1～Gyと、対向電源線E1～Eyとを1つづつ有する領域が画素105である。画素部101にはマトリクス状に複数の画素105が配列されることになる。

【0043】

画素105の拡大図を図3に示す。107はスイッチング用TFT、108はEL駆動用TFT、110はEL素子、112はコンデンサである。

【0044】

スイッチング用TFT107のゲート電極は、ゲート信号線G（G₁～G_yのいずれか1つ）に接続されている。スイッチング用TFT107のソース領域とドレイン領域は、一方がソース信号線S（S₁～S_xのいずれか1つ）に接続されており、もう一方がEL駆動用TFT108のゲート電極、各画素が有するコンデンサ112に接続されている。

【0045】

コンデンサ112はスイッチング用TFT107が非選択状態（オフの状態）にある時、EL駆動用TFT108のゲート電圧を保持するために設けられている。なお本実施の形態ではコンデンサ112を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ112を設けない構成にしても良い。

【0046】

また、EL駆動用TFT108のソース領域は電源供給線V（V₁～V_xのいずれか1つ）に接続され、ドレイン領域はEL素子110に接続される。電源供給線Vは画素部101を有する基板の外部に設けられた電源（図示せず）に接続されており、常に一定の電源電位が与えられている。

【0047】

現在の典型的なELディスプレイは、画素部の面積あたりの発光量が200cd/m²の場合、画素部の面積あたりの電流が数mA/cm²程度必要となる。そのため画素部のサイズが大きくなると、IC等に設けられた電源から電源供給線に与えられる電位をスイッチで制御することが難しくなる。本発明においては、電源電位は常に一定に保たれており、ICに設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【0048】

また電源供給線Vはコンデンサ112に接続されている。

【0049】

EL素子110は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極がEL駆動用TFT108のドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極がEL駆動用TFT108のドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【0050】

EL素子110の対向電極は、対向電源線E（E1～Eyのいずれか1つ）に接続されている。本明細書において対向電源線Eの電位を対向電位と呼ぶ。

【0051】

スイッチング用TFT107、EL駆動用TFT108は、nチャネル型TFTでもpチャネル型TFTでもどちらでも用いることができる。ただし、EL素子110の陽極が画素電極で陰極が対向電極の場合、EL駆動用TFT108はpチャネル型TFTであることが好ましい。また逆にEL素子110の陽極が対向電極で陰極が画素電極の場合、EL駆動用TFT108はnチャネル型TFTであることが好ましい。

【0052】

またスイッチング用TFT107、EL駆動用TFT108は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【0053】

次に図1～図3で示した本発明のELディスプレイの駆動方法について、図4を用いて説明する。

【0054】

はじめに対向電極電源線駆動回路104によって、対向電源線E1に与えられている対向電位が、電源電位が画素電極に与えられたときにEL素子が発光する程度に、電源電位との間に電位差を有するような電位（オンの対向電位）に保たれる。

【0055】

そして、ゲート信号線駆動回路103からゲート信号線G1に入力されるゲー

ト信号によってゲート信号線G1が選択される。よってゲート信号線G1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT107がオンの状態になる。

【0056】

そして、ソース信号線駆動回路102からソース信号線S1～Sxに入力される1ビット目のデジタルビデオ信号が、スイッチング用TFT107を介してEL駆動用TFT108のゲート電極に入力される。なお本明細書において、デジタルビデオ信号がスイッチング用TFT107を介してEL駆動用TFT108のゲート電極に入力されることを、画素にデジタルビデオ信号が入力されるとする。

【0057】

デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方がHi、一方がLoの電圧を有する信号である。

【0058】

本実施の形態では、デジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT108はオフの状態となる。よってEL素子110の画素電極に電源電位が与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光しない。

【0059】

逆に、デジタルビデオ信号が「1」の情報を有していた場合、EL駆動用TFT108はオンの状態となる。よってEL素子110の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光する。

【0060】

なお本実施の形態ではデジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT108はオフの状態となり、「1」の情報を有していた場合EL駆動用TFT108はオンの状態となるが、本発明はこの構成に限定されない。デジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT10

8がオンの状態となり、「1」の情報を有していた場合EL駆動用TFT108オフの状態となっても良い。

【0061】

このように、1ライン目の画素にデジタルビデオ信号が入力されると同時に、EL素子110が発光、または非発光を行い、1ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間Trと呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間をTr1と呼ぶ。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0062】

次にゲート信号線G1の選択が終了すると、対向電源線E1はオンの対向電位に保たれたままで、対向電源線駆動回路104によって、対向電源線E2がオンの対向電位に保たれる。そしてゲート信号線G2がゲート信号によって選択されることによって、ゲート信号線G2に接続されている全ての画素のスイッチング用TFT107がオンの状態になり、2ライン目の画素にソース信号線S1～Sxから1ビット目のデジタルビデオ信号が入力される。

【0063】

このように順に、全ての対向電源線E1～Exが対向電位に保たれる。そして全てのゲート信号線G1～Gyが選択され、全ての画素に1ビット目のデジタルビデオ信号が入力される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が、書き込み期間Ta1である。

【0064】

一方、全ての画素に1ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間Ta1が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、対向電源線駆動回路104によって対向電源線E1に与えられる対向電位が、電源電位と同じ高さの電位（オフの対向電位）に保たれる。そして、対向電源線E1に対向電極が接続されているEL素子が全て非発光の状態になる。よって対向電源線E1に対向電極が接続されているEL素子を有する全ての画素（1ライン目の画素）が表示を行わなくなる。

【0065】

画素が表示を行わない期間を非表示期間 T_d と呼ぶ。1ライン目の画素において、対向電源線 E_1 がオフの対向電位に保たれると同時に表示期間 T_r1 が終了し、非表示期間 T_d1 となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0066】

そして対向電源線 E_1 がオフの対向電位に保たれたまま、次に対向電源線 E_2 がオフの対向電位に保たれる。よって、対向電源線 E_2 に対向電極が接続されたEL素子を有する全ての画素（2ライン目の画素）が表示を行わない非表示の状態となる。

【0067】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれ、1ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間 T_e1 である。

【0068】

一方、全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれる前、言い換えると消去期間 T_e1 が終了する前に、画素が非表示の状態になると並行して、再び対向電源線 E_1 がオンの対向電位に保たれる。そしてゲート信号によるゲート信号線 G_1 の選択が行われ、1ライン目の画素に2ビット目のデジタルビデオ信号が入力される。その結果、1ライン目の画素は再び表示を行うので、非表示期間 T_d1 が終了して表示期間 T_r2 となる。

【0069】

そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして順に全てのゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_a2 と呼ぶ。

【0070】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_a2 が終了する前に、画素への2ビット目のデジタ

ルビデオ信号の入力と並行して、対向電源線E1がオフの対向電位に保たれる。よって1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間Tr2は終了し、非表示期間Td2となる。

【0071】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源線E1～Eyがオフの対向電位に保たれ、2ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間Te2である。

【0072】

上述した動作はmビット目のデジタルルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間Trと非表示期間Tdとが繰り返し出現する。各ラインの画素の表示期間Tr1は、書き込み期間Ta1において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルルビデオ信号が書き込まれてから、消去期間Te1において各ラインの画素の対向電極にオフの対向電位が与えられるまでの期間である。また各ラインの画素の非表示期間Td1は、消去期間Te1において各ラインの画素の対向電極にオフの対向電位が与えられてから、次に出現する書き込み期間（この場合書き込み期間Ta2）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルルビデオ信号が書き込まれるまでの期間である。そして表示期間Tr2、Tr3、…、Tr(m-1)と非表示期間Td2、Td3、…、Td(m-1)も、表示期間Tr1と非表示期間Td1と同様に、それぞれの期間が定められる。

【0073】

説明を簡便にするために、図4ではm=n-2の場合を例にとって示すが、本発明はこれに限定されないのは言うまでもない。本発明においてmは、1からnまでの値を任意に選択することが可能である。

【0074】

次に、対向電源線E1がオンの対向電位に保たれ、m[n-2（以下、括弧内はm=n-2の場合を示す）]ビット目のデジタルルビデオ信号が1ライン目の画

素に入力される。よって1ライン目の画素は表示期間 $T_{rm}[n-2]$ となり表示を行う。

【0075】

そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして $m[n-2]$ ビット目のデジタルビデオ信号が全てのラインの画素に入力され、全てのラインの画素は表示期間 $T_{rm}[n-2]$ となり表示を行う。

【0076】

そして次のビットのデジタルビデオ信号が入力されるまで、 $m[n-2]$ ビット目のデジタルビデオ信号は画素に保持される。

【0077】

次に全ての対向電源線がオンの対向電位に保たれたまま、 $(m+1)[n-1]$ ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた $m[n-2]$ ビット目のデジタルビデオ信号は、 $(m+1)[n-1]$ ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 $T_{r(m+1)}[n-1]$ となり、表示を行う。

【0078】

そして同様に、順に全ての対向電源線がオンの対向電位に保たれたまま、 $(m+1)[n-1]$ ビット目のデジタルビデオ信号が全てのラインの画素に入力され、全てのラインの画素は表示期間 $T_{r(m+1)}[n-1]$ となり表示を行う。

【0079】

そして次のビットのデジタルビデオ信号が入力されるまで、 $(m+1)[n-1]$ ビット目のデジタルビデオ信号は画素に保持される。

【0080】

上述した動作を n ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われる。各ラインの画素の表示期間 $T_{rm}[n-2]$ 、…、 T_{rn} は、書き込み期間 $T_{am}[n-2]$ 、…、 T_{an} において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、その次に出現する書き込み期間において各ラインの画素の対向電極にオ

ンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。

【0081】

全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間（F）と呼ぶ。なお本発明の駆動方法において、フレーム期間（F）は各ラインの画素ごとに異なっている。yライン目の画素のフレーム期間は、ほぼ書き込み期間 T_{a1} の長さ分だけ、1ライン目の画素のフレーム期間の開始より遅れて開始される。

【0082】

そして1フレーム期間終了後は、再び対向電源線 $E_1 \sim E_y$ がオンの対向電位に保たれ、ゲート信号線 G_1 がゲート信号によって選択される。そして、1ビット目のデジタルビデオ信号が画素に入力され、1ライン目の画素が再び表示期間 T_{r1} となる。そして再び上述した動作を繰り返す。

【0083】

ELディスプレイは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めことがある。

【0084】

また本発明では、全ての書き込み期間の長さの和が1フレーム期間の長さよりも短いことが重要である。なおかつ表示期間の長さを $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0085】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めるによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r3}

3とTr5とTr8を選択した場合には60%の輝度が表現できる。

【0086】

mビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間T_{am}は、表示期間Trmの長さよりも短いことが肝要である。よってビット数mの値は、1～nのうち、書き込み期間T_{am}が表示期間Trmの長さよりも短くなるような値であることが必要である。

【0087】

また表示期間Tr1～Trnは、どのような順序で出現させても良い。例えば1フレーム期間中において、Tr1の次にTr3、Tr5、Tr2、…という順序で表示期間を出現させることも可能である。ただし、表示期間Tr1～Trnが互いに重ならない順序の方がより好ましい。また消去期間Te1～Tenも、互いに重ならない順序の方がより好ましい。

【0088】

本発明は上記構成によって、EL駆動用 TFT の $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、同じ電圧の信号を入力したときにEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0089】

また、本発明では、表示を行わない非表示期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非表示期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0090】

なお本発明においては、表示期間と書き込み期間とが一部重なっている。言い換えると書き込み期間においても画素を表示させることができるのである。そのため、1フレーム期間における表示期間の長さの総和の割合（デューティー比）が、書き込み期間の長さによってのみ決定されない。

【0091】

また本発明の構成では、従来と同様に各画素に設けられるトランジスタは、ス

イッティング用 TFT と EL 駆動用 TFT の 2 つで済むため、画素の開口率を低下させることがない。

【0092】

なお本実施の形態では、EL 駆動用 TFT のゲート電極にかかる電圧を保持するためにはコンデンサを設ける構造としているが、コンデンサを省略することも可能である。EL 駆動用 TFT が、ゲート絶縁膜を介してゲート電極に重なるように設けられた LDD 領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。このゲート容量を EL 駆動用 TFT のゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いても良い。

【0093】

このゲート容量の容量値は、上記ゲート電極と LDD 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる LDD 領域の長さによって決まる。

【0094】

なお、上述した本発明の構成は EL ディスプレイへの適用だけに限らず、他の電気光学素子を用いた装置に適用することも可能である。また応答時間が数 10 μ sec 程度以下の、高速応答する液晶が開発された場合には、液晶ディスプレイに適用することも可能である。

【0095】

【実施例】

以下に、本発明の実施例を説明する。

【0096】

(実施例 1)

本実施例では、本発明の EL ディスプレイにおいて、6 ビットのデジタルビデオ信号により 2^6 階調の表示を行う場合について図 5 を用いて説明する。なお本実施例の EL ディスプレイは、図 1 ~ 図 3 に示した構造を有する。

【0097】

はじめに対向電極電源線駆動回路 104 によって、対向電源線 E1 に与えられ

ている対向電位が、電源電位が画素電極に与えられたときにEL素子が発光する程度に、電源電位との間に電位差を有するような電位（オンの対向電位）に保たれる。

【0098】

そして、ゲート信号線駆動回路103からゲート信号線G1に入力されるゲート信号によって、ゲート信号線G1が選択される。そしてゲート信号線G1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT107がオンの状態になる。

【0099】

そして、ソース信号線駆動回路102からソース信号線S1～Sxに、1ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用TFT107を介してEL駆動用TFT108のゲート電極に入力される。

【0100】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT108はオフの状態となる。よってEL素子110の画素電極には電源電位が与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光しない。

【0101】

逆に、デジタルビデオ信号が「1」の情報を有していた場合、EL駆動用TFT108はオンの状態となる。よってEL素子110の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光する。

【0102】

このように1ライン目の画素は、デジタルビデオ信号が入力されると同時に、EL素子110が発光、または非発光を行い、表示期間Tr1となる。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0103】

次にゲート信号線G1の選択が終了すると、対向電源線E1はオンの対向電位に保たれたままで、対向電源線駆動回路104によって、対向電源線E2がオン

の対向電位に保たれる。そしてゲート信号によってゲート信号線G 2が選択されることによって、ゲート信号線G 2に接続されている全ての画素のスイッチング用TFT107がオンの状態になり、2ライン目の画素にソース信号線S 1～S xから1ビット目のデジタルビデオ信号が入力される。

【0104】

このように順に、全ての対向電源線E 1～E xが対向電位に保たれる。そして全てのゲート信号線G 1～G yが選択され、全ての画素に1ビット目のデジタルビデオ信号が入力される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間Ta 1である。

【0105】

一方、全ての画素に1ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間Ta 1が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、対向電源線駆動回路104によって対向電源線E 1に与えられる対向電位が、電源電位と同じ高さの電位（オフの対向電位）に保たれる。そして、対向電源線E 1に対向電極が接続されているEL素子が全て非発光の状態になる。よって対向電源線E 1に対向電極が接続されているEL素子を有する全ての画素（1ライン目の画素）が表示を行わなくなる。

【0106】

画素が表示を行わない期間を非表示期間Tdと呼ぶ。1ライン目の画素において、対向電源線E 1がオフの対向電位に保たれると同時に表示期間Tr 1が終了し、非表示期間Td 1となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0107】

そして対向電源線E 1がオフの対向電位に保たれたまま、次に対向電源線E 2がオフの対向電位に保たれる。よって、対向電源線E 2に対向電極が接続されたEL素子を有する全ての画素（2ライン目の画素）が表示を行わない非表示の状態となる。

【0108】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源

線E₁～E_yがオフの対向電位に保たれ、1ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間T_{e1}である。

【0109】

一方、全ての対向電源線E₁～E_yがオフの対向電位に保たれる前、言い換えると消去期間T_{e1}が終了する前に、画素が非表示の状態になると並行して、再び対向電源線E₁がオンの対向電位に保たれる。そしてゲート信号によるゲート信号線G₁の選択が行われ、1ライン目の画素に2ビット目のデジタルビデオ信号が入力される。その結果、1ライン目の画素は再び表示を行うので、非表示期間T_{d1}が終了して表示期間T_{r2}となる。

【0110】

そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして順に全てのゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間T_{a2}と呼ぶ。

【0111】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間T_{a2}が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、対向電源線E₁がオフの対向電位に保たれる。よって1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間T_{r2}は終了し、非表示期間T_{d2}となる。

【0112】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源線E₁～E_yがオフの対向電位に保たれ、2ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間T_{e2}である。

【0113】

上述した動作は5ビット目のデジタルビデオ信号が画素に入力されるまで繰り

返し行われ、各ラインの画素の表示期間 T_{r1} は、書き込み期間 T_{a1} において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、消去期間 T_{e1} において各ラインの画素の対向電極にオフの対向電位が与えられるまでの期間である。また各ラインの画素の非表示期間 T_{d1} は、消去期間 T_{e1} において各ラインの画素の対向電極にオフの対向電位が与えられてから、次に出現する書き込み期間（この場合書き込み期間 T_{a2} ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。そして表示期間 T_{r2} 、 T_{r3} 、 T_{r4} と非表示期間 T_{d2} 、 T_{d3} 、 T_{d4} も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれの期間が定められる。

【0114】

次に、対向電源線E1がオンの対向電位に保たれ、5ビット目のデジタルビデオ信号が1ライン目の画素に入力される。よって1ライン目の画素は表示期間 T_{r5} となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、5ビット目のデジタルビデオ信号は画素に保持される。そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして5ビット目のデジタルビデオ信号が全てのラインの画素に入力され、全てのラインの画素は表示期間 T_{r5} となり表示を行う。

【0115】

そして次に全ての対向電源線がオンの対向電位に保たれたまま、6ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた5ビット目のデジタルビデオ信号は、6ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 T_{r6} となり、表示を行う。6ビット目のデジタルビデオ信号は、再び次のフレーム期間の1ビット目のデジタルビデオ信号が入力されるまで画素に保持される。そして同様に、6ビット目のデジタルビデオ信号が順に全てのラインの画素に入力され、全てのラインの画素は表示期間 T_{r6} となり表示を行う。

【0116】

再び次のフレーム期間の1ビット目のデジタルビデオ信号が画素に入力される

と、表示期間 $T_r 6$ は終了し、同時にフレーム期間が終了する。全ての表示期間（ $T_r 1 \sim T_r 6$ ）が終了するとフレーム期間が終了し、1つの画像を表示することができる。そして次のフレーム期間においても、上述した動作を繰り返す。

【0117】

各ラインの画素の表示期間 $T_r 5$ は、各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、その次に出現する書き込み期間（この場合書き込み期間 $T_a 6$ ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。そして各ラインの画素の表示期間 $T_r 6$ は、各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、その次に出現する書き込み期間（この場合次のフレーム期間の書き込み期間 $T_a 1$ ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。

【0118】

表示期間 T_r の長さは、 $T_r 1 : T_r 2 : \dots : T_r 5 : T_r 6 = 2^0 : 2^1 : \dots : 2^4 : 2^5$ となるように設定する。この表示期間の組み合わせで 2^6 階調のうち所望の階調表示を行うことができる。

【0119】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めるによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を100%とすると、 $T_r 1$ と $T_r 2$ において画素が発光した場合には5%の輝度が表現でき、 $T_r 3$ と $T_r 5$ を選択した場合には32%の輝度が表現できる。

【0120】

本実施例において、5ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 $T_a 5$ は、表示期間 $T_r 5$ の長さよりも短いことが肝要である。

【0121】

また表示期間（ $T_r 1 \sim T_r 6$ ）は、どのような順序で出現させても良い。例

えば1フレーム期間中において、Tr1の次にTr3、Tr5、Tr2、…という順序で表示期間を出現させることも可能である。ただし、消去期間(Te1～Te6)が互いに重ならない順序の方がより好ましい。また表示期間(Tr1～Tr6)も互いに重ならない順序の方がより好ましい。

【0122】

本発明は上記構成によって、TFTによって $I_{DS}-V_{GS}$ 特性に多少のばらつきがあっても、同じ電圧の信号を入力したときにEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0123】

また、本発明では、表示を行わない非表示期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非表示期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0124】

(実施例2)

本実施例では、6ビットのデジタルビデオ信号に対応した本発明の駆動方法において、表示期間Tr1～Tr6の出現する順序について説明する。

【0125】

図6に本実施例の駆動方法を示すタイミングチャートを示す。画素の詳しい駆動の仕方については実施例1を参照すれば良いので、ここでは省略する。本実施例の駆動方法では、1フレーム期間中で1番長い非表示期間(本実施例ではTd1)を1フレーム期間の最後に設ける。上記構成によって、非表示期間Td1と、次のフレーム期間の最初の表示期間(本実施例ではTr4)との間にフレーム期間の区切れがあるよう人に映る。これによって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0126】

なお本実施例では、6ビットのデジタルビデオ信号の場合について説明したが

、本発明はこれに限定されない。本実施例はデジタルビデオ信号のビット数に限
定されることなく実施することが可能である。

【0127】

(実施例3)

本実施例では、本発明のELディスプレイにおいて、4ビットのデジタルビデ
オ信号により 2^4 階調の表示を行う場合について図7を用いて説明する。なお本
実施例のELディスプレイは、図1～図3に示した構造を有する。

【0128】

はじめに対向電極電源線駆動回路104によって、対向電源線E1に与えられ
ている対向電位が、電源電位が画素電極に与えられたときにEL素子が発光する
程度に、電源電位との間に電位差を有するような電位（オンの対向電位）に保た
れる。

【0129】

そして、ゲート信号線駆動回路103からゲート信号線G1に入力されるゲー
ト信号によって、ゲート信号線G1が選択される。よってゲート信号線G1に接
続されている全ての画素（1ライン目の画素）のスイッチング用TFT107が
オンの状態になる。

【0130】

そして同時に、ソース信号線駆動回路102からソース信号線S1～Sxに、
1ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチ
ング用TFT107を介してEL駆動用TFT108のゲート電極に入力される
。

【0131】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、EL駆
動用TFT108はオフの状態となる。よってEL素子110の画素電極には電
源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が
入力された画素が有するEL素子110は発光しない。

【0132】

逆に、デジタルビデオ信号が「1」の情報を有していた場合、EL駆動用TF

T108はオンの状態となる。よってEL素子110の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光する。

【0133】

なお本実施例ではデジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT108はオフの状態となり、「1」の情報を有していた場合EL駆動用TFT108はオンの状態となるが、本発明はこの構成に限定されない。デジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT108がオンの状態となり、「1」の情報を有していた場合EL駆動用TFT108オフの状態となっても良い。

【0134】

このように1ライン目の画素は、デジタルビデオ信号が入力されると同時に、EL素子110が発光、または非発光を行い、1ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間Trと呼ぶ。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0135】

次にゲート信号線G1の選択が終了すると、対向電源線E1はオンの対向電位に保たれたままで、対向電源線駆動回路104によって、対向電源線E2がオンの対向電位に保たれる。そしてゲート信号によってゲート信号線G2が選択されることによって、ゲート信号線G2に接続されている全ての画素のスイッチング用TFT107がオンの状態になり、2ライン目の画素にソース信号線S1～Sxから1ビット目のデジタルビデオ信号が入力される。

【0136】

このように順に、全ての対向電源線E1～Exが対向電位に保たれる。そして全てのゲート信号線G1～Gyが選択され、全ての画素に1ビット目のデジタルビデオ信号が入力される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間Ta1である。

【0137】

一方、全ての画素に1ビット目のデジタルビデオ信号が入力される前、言い換

えると書き込み期間 T_{a1} が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、対向電源線駆動回路104によって対向電源線E1に与えられる対向電位が、電源電位と同じ高さの電位（オフの対向電位）に保たれる。そして、対向電源線E1に対向電極が接続されているEL素子が全て非発光の状態になる。よって対向電源線E1に対向電極が接続されているEL素子を有する全ての画素（1ライン目の画素）が表示を行わなくなる。

【0138】

画素が表示を行わない期間を非表示期間 T_d と呼ぶ。1ライン目の画素において、対向電源線E1がオフの対向電位に保たれると同時に表示期間 T_{r1} が終了し、非表示期間 T_{d1} となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0139】

そして対向電源線E1がオフの対向電位に保たれたまま、次に対向電源線E2がオフの対向電位に保たれる。よって、対向電源線E2に対向電極が接続されたEL素子を有する全ての画素（2ライン目の画素）が表示を行わない非表示の状態となる。

【0140】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源線E1～Eyがオフの対向電位に保たれ、1ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間 T_{e1} である。

【0141】

一方、全ての対向電源線E1～Eyがオフの対向電位に保たれる前、言い換えると消去期間 T_{e1} が終了する前に、画素が非表示の状態になると並行して、再び対向電源線E1がオンの対向電位に保たれる。そしてゲート信号によるゲート信号線G1の選択が行われ、1ライン目の画素に2ビット目のデジタルビデオ信号が入力される。その結果、1ライン目の画素は再び表示を行うので、非表示期間 T_{d1} が終了して表示期間 T_{r2} となる。

【0142】

そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして順に全てのゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

【0143】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、対向電源線 E_1 がオフの対向電位に保たれる。よって1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【0144】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれ、2ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間 T_{e2} である。

【0145】

各ラインの画素の表示期間 T_{r1} は、書き込み期間 T_{a1} において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、消去期間 T_{e1} において各ラインの画素の対向電極にオフの対向電位が与えられるまでの期間である。また各ラインの画素の非表示期間 T_{d1} は、消去期間 T_{e1} において各ラインの画素の対向電極にオフの対向電位が与えられてから、次に出現する書き込み期間（この場合書き込み期間 T_{a2} ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。そして各ラインの表示期間 T_{r2} と非表示期間 T_{d2} も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれの期間が定められる。

【0146】

次に、対向電源線 E_1 がオフの対向電位に保たれ、3ビット目のデジタルビデ

オ信号が1ライン目の画素に入力されると、1ライン目の画素は表示期間 $T_r 3$ となり表示を行う。そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして3ビット目のデジタルビデオ信号が全てのラインの画素に入力され、全てのラインの画素は表示期間 $T_r 3$ となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、3ビット目のデジタルビデオ信号は画素に保持される。

【0147】

次に全ての対向電源線がオンの対向電位に保たれたまま、4ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた3ビット目のデジタルビデオ信号は、4ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 $T_r 4$ となり、表示を行う。そして同様に、順に全ての対向電源線がオンの対向電位に保たれたまま、4ビット目のデジタルビデオ信号が全てのラインの画素に入力され、全てのラインの画素は表示期間 $T_r 4$ となり表示を行う。4ビット目のデジタルビデオ信号は、再び次のフレーム期間の1ビット目のデジタルビデオ信号が入力されるまで画素に保持される。

【0148】

再び次のフレーム期間の1ビット目のデジタルビデオ信号が画素に入力されると、表示期間 $T_r 4$ は終了し、同時にフレーム期間が終了する。全ての表示期間（ $T_r 1 \sim T_r 4$ ）が終了すると、1つの画像を表示することができる。そして次のフレーム期間においても上述した動作を繰り返す。

【0149】

各ラインの画素の表示期間 $T_r 3$ は、各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、その次に出現する書き込み期間（この場合書き込み期間 $T_a 4$ ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。そして各ラインの画素の表示期間 $T_r 4$ は、各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、その次に出現する書き込み期間（こ

の場合次のフレーム期間の書き込み期間 T_{a1})において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。

【0150】

表示期間 T_r の長さは、 $T_{r1} : T_{r2} : T_{r3} : T_{r4} = 2^0 : 2^1 : 2^2 : 2^3$ となるように設定する。この表示期間の組み合わせで 2^4 階調のうち所望の階調表示を行うことができる。

【0151】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めるによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には20%の輝度が表現でき、 T_{r3} のみ選択した場合には27%の輝度が表現できる。

【0152】

本実施例において、3ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{a3} は、表示期間 T_{r3} の長さよりも短いことが肝要である。

【0153】

また表示期間($T_{r1} \sim T_{r4}$)は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r4} 、 T_{r2} という順序で表示期間を出現させることも可能である。ただし、消去期間($T_{e1} \sim T_{e4}$)が互いに重ならない順序の方がより好ましい。また表示期間($T_{r1} \sim T_{r4}$)も互いに重ならない順序の方がより好ましい。

【0154】

本発明は上記構成によって、TFTによって $I_{DS}-V_{GS}$ 特性に多少のばらつきがあっても、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0155】

また、本発明では、表示を行わない非表示期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL

素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非表示期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0156】

なお本実施例は、実施例2と組み合わせて実施することが可能である。

【0157】

(実施例4)

本実施例では、図3に示した本発明のELディスプレイの画素の上面図(図8)について説明する。図3と図8では共通の符号を用いるので互いに参照すれば良い。

【0158】

図8(A)において、画素105はスイッチング用TFT107と、EL駆動用TFT108とを有している。

【0159】

スイッチング用TFT107は、活性層107aと、ゲート信号線(G)の一部であるゲート電極107bとを有している。EL駆動用TFT108は、活性層108aと、ゲート配線121の一部であるゲート電極108bとを有している。

【0160】

スイッチング用TFT107の活性層107aが有するソース領域とドレイン領域は、いずれか一方はソース信号線(S)に、もう一方は接続配線113を介してゲート配線121に接続されている。なお接続配線113はソース信号線(S)に入力される信号の電位によって、ソース配線と呼んだり、ドレイン配線と呼んだりする。

【0161】

EL駆動用TFT108の活性層108aが有するソース領域とドレイン領域は、それぞれ電源供給線(V)とドレイン配線114に接続されている。ドレイン配線114は画素電極117に接続されている。

【0162】

容量配線 116 は半導体膜で形成されている。コンデンサ 112 は、電源供給線 (V) と電気的に接続された容量配線 116、ゲート絶縁膜と同一層の絶縁膜 (図示せず) 及びゲート配線 121との間で形成される。また、ゲート配線 121、第1層間絶縁膜と同一の層 (図示せず) 及び電源供給線 (V) で形成される容量もコンデンサとして用いることが可能である。

【0163】

なお画素電極 117 上には有機樹脂膜をエッティングすることで開口部 131 を設けたバンクが形成されている (図 8 (B))。そして図示しないが、画素電極 117 上に EL 層と、対向電極を含む対向電源線 (E) が順に積層される。画素電極 105 と EL 層とはバンクの開口部 131において接しており、EL 層は対向電源線 (E) と画素電極とに接して挟まれている部分のみ発光する。

【0164】

ソース信号線 (S) と、電源供給線 (V) と、ゲート信号線 (G) と、対向電源線 (E) とをそれぞれ 1つづつ有する領域 105 が画素である。

【0165】

なお本発明の EL ディスプレイの画素部の上面図は、図 8 に示した構成に限定されない。

【0166】

本実施例は実施例 1 ~ 3 と組み合わせて実施することが可能である。

【0167】

(実施例 5)

本実施例では、図 1 で示した本発明の EL ディスプレイの駆動回路の詳しい構成について、図 9 を用いて説明する。

【0168】

ソース信号線駆動回路 102 は基本的にシフトレジスタ 102a、ラッチ (A) (第1のラッチ) 102b、ラッチ (B) (第2のラッチ) 102c を有している。

【0169】

ソース信号線駆動回路 102において、シフトレジスタ 102a にクロック信

号（CLK）およびスタートパルス（SP）が入力される。シフトレジスタ102aは、これらのクロック信号（CLK）およびスタートパルス（SP）に基づきタイミング信号を順に生成し、ラッチ（A）102bに入力する。

【0170】

なお図9では図示しなかったが、シフトレジスタ102aから出力されたタイミング信号をバッファ等（図示せず）によって緩衝増幅してから、後段の回路であるラッチ（A）102bに入力しても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの”鈍り”を防ぐために、このバッファが設けられる。

【0171】

ラッチ（A）102bは、nビットのデジタルビデオ信号（n bit digital video signals）を処理する複数のステージのラッチを有している。ラッチ（A）102bは、タイミング信号が入力されると、ソース信号線駆動回路102の外部から入力されるnビットのデジタルビデオ信号を順次取り込み、保持する。

【0172】

なお、ラッチ（A）102bにデジタルビデオ信号を取り込む際に、ラッチ（A）102bが有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ（A）102bが有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0173】

ラッチ（A）102bの全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ（A）102b中で一番左側のステージのラッチにデジタルビデオ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルビデオ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン

期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0174】

1ライン期間が終了すると、ラッチ（B）102cにラッチシグナル（Latch Signal）が供給される。この瞬間、ラッチ（A）102bに書き込まれ保持されているデジタルビデオ信号は、ラッチ（B）102cに一斉に送出され、ラッチ（B）102cの全ステージのラッチに書き込まれ、保持される。

【0175】

デジタルビデオ信号をラッチ（B）102cに送出し終えたラッチ（A）102bには、シフトレジスタ102aからのタイミング信号に基づき、ソース信号線駆動回路102の外部から入力されるデジタルビデオ信号の書き込みが順次行われる。

【0176】

この2順目の1ライン期間中には、ラッチ（B）102bに書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【0177】

一方、ゲート信号線駆動回路103は、シフトレジスタ103a、バッファ103bを有している。また場合によっては、シフトレジスタ103a、バッファ103bの他にレベルシフトを有していても良い。

【0178】

対向電源線駆動回路104は、シフトレジスタ104a、バッファ104bを有している。また場合によっては、シフトレジスタ104a、バッファ104bの他にレベルシフトを有していても良い。

【0179】

ゲート信号線駆動回路103及び対向電源線駆動回路104において、シフトレジスタ103a、104aからのタイミング信号がバッファ（図示せず）に供給され、対応するゲート信号線、対向電源線にそれぞれ供給される。

【0180】

ゲート信号線には、1ライン分の画素TFTのゲート電極が接続されており、1ライン分全ての画素TFTを同時にONにしなくてはならないので、バッファ

103bは大きな電流を流すことが可能なものが用いられる。また、対向電源線は、1ライン分の画素が有する対向電極が含まれており、1ライン分全ての対向電極に同時にオンの対向電位またはオフの対向電位を与えなくてはならないので、バッファ104bは大きな電流を流すことが可能なものが用いられる。

【0181】

なお本実施例は、実施例1～4と組み合わせて実施することが可能である。

【0182】

(実施例6)

本実施例では、本発明のELディスプレイの画素部とその周辺に設けられる駆動回路部（ソース信号線駆動回路、ゲート信号線駆動回路、対向電源線駆動回路）のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0183】

まず、図10(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10～200[nm]（好ましくは50～100[nm]）形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50～200[nm]（好ましくは100～150[nm]）の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0184】

島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80[nm]（好ましくは30～60[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0185】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、 YVO_4 レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30 [Hz] とし、レーザーエネルギー密度を100～400 [mJ/cm^2] (代表的には200～300 [mJ/cm^2])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10 [kHz] とし、レーザーエネルギー密度を300～600 [mJ/cm^2] (代表的には350～500 [mJ/cm^2])とすると良い。そして幅100～1000 [μm]、例えば400 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98 [%]として行う。

【0186】

次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150 [nm] としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40 [Pa]、基板温度300～400 [°C] とし、高周波(13.56 [MHz])、電力密度0.5～0.8 [W/cm^2] で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500 [°C] の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0187】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100 [nm] の厚さに形成し、第2の導電膜5009をWで

100～300 [nm] の厚さに形成する。

【0188】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 α 相のTa膜の抵抗率は20 [$\mu\Omega\text{cm}$] 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は180 [$\mu\Omega\text{cm}$] 程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを10～50 [nm] 程度の厚さでTaの下地に形成しておくと α 相のTa膜を容易に得ることができる。

【0189】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン (WF_6) を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [$\mu\Omega\text{cm}$] 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%] のWターゲットを用い、さらに成膜時に気相中の不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20 [$\mu\Omega\text{cm}$] を実現することができる。

【0190】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル (TaN) で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル (TaN) で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル (TaN) で形成し、第2の導

電膜をCuとする組み合わせで形成することが好ましい。

【0191】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1 [Pa] の圧力でコイル型の電極に500 [W] のRF（13.56 [MHz]）電力を投入してプラズマを生成して行う。基板側（試料ステージ）にも100 [W] のRF（13.56 [MHz]）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0192】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20 [%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50 [nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5016（第1の導電層5011a～5016aと第2の導電層5011b～5016b）を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011～5016で覆われない領域は20～50 [nm]程度エッチングされ薄くなった領域が形成される。

（図10（A））

【0193】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。（図10（B））ドーピングの方法はイオンドープ法もしくはイオン注入法で行えれば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60～100 [keV]として行う。n型を付与する不純物元素

として15族に属する元素、典型的にはリン(P)または砒素(A s)を用いるが、ここではリン(P)を用いる。この場合、導電層5011～5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017～5025が形成される。第1の不純物領域5017～5025には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³] の濃度範囲でn型を付与する不純物元素を添加する。

【0194】

次に、図10(C)に示すようにレジストによるマスクを除去せずに、第2のエッティング処理を行う。エッティングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッティングする。この時、第2のエッティング処理により第2の形状の導電層5026～5031(第1の導電層5026a～5031aと第2の導電層5026b～5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026～5031で覆われない領域はさらに20～50 [nm] 程度エッティングされ薄くなった領域が形成される。

【0195】

W膜やTa膜のCF₄とCl₂の混合ガスによるエッティング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWC_{1.5}、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッティングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッティング速度が増大する。一方、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッティング速度は低下する。従って、W膜とTa膜とのエッティング速度に差を作ることが可能となりW膜のエッティング速度をTa膜よりも大きくすることが可能となる。

【0196】

そして、図11（A）に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げる高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 $1 \times 10^{13} [\text{atoms/cm}^2]$ のドーズ量で行い、図10（B）で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5036が形成される。この第3の不純物領域5032～5036に添加されたリン（P）の濃度は、第1の導電層5026a～5030aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a～5030aのテーパー部と重なる半導体層において、第1の導電層5026a～5030aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0197】

図11（B）に示すように第3のエッティング処理を行う。エッティングガスにCF₆を用い、反応性イオンエッティング法（RIE法）を用いて行う。第3のエッティング処理により、第1の導電層5026a～5031aのテーパー部を部分的にエッティングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッティング処理によって、第3の形状の導電層5037～5042（第1の導電層5037a～5041aと第2の導電層5037b～5042b）を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037～5042で覆われない領域はさらに20～50[nm]程度エッティングされ薄くなった領域が形成される。

【0198】

第3のエッティング処理によって、第1の導電層5037a～5041aと重なる第3の不純物領域5032a～5036aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b～5036bとを形成する。

【0199】

そして、図11(C)に示すように、pチャネル型TFTを形成する島状半導体層5004～5006に第1の導電型とは逆の導電型の第4の不純物領域5052～5074を形成する。第2の導電層5038b～5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層5003および配線部5031はレジストマスク5200で全面を被覆しておく。不純物領域5052～5074にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

【0200】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

【0201】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[°C]、代表的には500～600[°C]で行うものであり、本実施例では500[°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0202】

さらに、3～100[%]の水素を含む雰囲気中で、300～450[°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を

用いる）を行っても良い。

【0203】

次いで、図12(A)に示すように、第1の層間絶縁膜5075を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上有機絶縁物材料から成る第2の層間絶縁膜5076を形成した後、第1の層間絶縁膜5075、第2の層間絶縁膜5076、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線（接続配線、信号線を含む）5077～5082、5084をパターニング形成した後、接続配線5082に接する画素電極5083をパターニング形成する。

【0204】

第2の層間絶縁膜5076としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5076は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm](さらに好ましくは2～4[μm])とすれば良い。

【0205】

コンタクトホールの形成は、ドライエッティングまたはウェットエッティングを用い、n型の不純物領域5017、5018またはp型の不純物領域5052～5074に達するコンタクトホール、配線5031に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0206】

また、配線(接続配線、信号線を含む)5077～5082、5084として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたもの用いる。勿論、他の導電膜を用いても良い。

【0207】

また、本実施例では、画素電極5083としてITO膜を110[nm]の厚さに

形成し、パターニングを行った。画素電極5083を接続配線5082と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2～20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極5083がEL素子の陽極となる。（図12（A））

【0208】

次に、図12（B）に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、画素電極5083に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5085を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0209】

次に、EL層5086および陰極（MgAg電極）5087を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5086の膜厚は80～200[nm]（典型的には100～120[nm]）、陰極5087の厚さは180～300[nm]（典型的には200～250[nm]）とすれば良い。

【0210】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陰極を形成するのが好ましい。

【0211】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても

構わない。

【0212】

ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0213】

なお、EL層5086としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

【0214】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用TFTを有する画素（同じラインの画素）上に、メタルマスクを用いて陰極5087を形成する。なお本実施例では陰極5087としてMgAgを用いたが、本発明はこれに限定されない。陰極5087として他の公知の材料を用いても良い。

【0215】

最後に、窒化珪素膜でなるパッシベーション膜5089を300[nm]の厚さに形成する。パッシベーション膜5089を形成しておくことで、EL層5086を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

【0216】

こうして図12(B)に示すような構造のELディスプレイが完成する。なお、本実施例におけるELディスプレイの作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによつてゲート信号線を形成しているが、異なる材料を用いても良い。

【0217】

ところで、本実施例のELディスプレイは、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0218】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスマッシュョンゲートなどが含まれる。

【0219】

本実施例の場合、nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるLDD領域(Lov領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないLDD領域(Loff領域)およびチャネル形成領域を含む。

【0220】

また、CMOS回路のpチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0221】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割を入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッシュョンゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャ

ネル型TFTは、LoV領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッショングートなどが挙げられる。

【0222】

なお、実際には図12(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0223】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中ではELディスプレイという。

【0224】

また、本実施例で示す工程に従えば、ELディスプレイの作製に必要なフォトマスクの数を抑えることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0225】

なお本実施例は、実施例1～5と組み合わせて実施することが可能である。

【0226】

(実施例7)

本実施例では、本発明のELディスプレイの断面構造の概略について、図12とは別の例を図13を用いて説明する。図12では、スイッチング用TFT、EL駆動用TFTがトップゲート型のTFTである例について示したが、本実施例ではTFTにボトムゲート型の薄膜トランジスタを用いた例について説明する。

【0227】

図13において、811は基板、812は下地となる絶縁膜（以下、下地膜という）である。基板811としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0228】

また、下地膜812は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜812としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（SiO_xN_y : x、yは任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0229】

8201はスイッチング用TFT、8202はEL駆動用TFTであり、それぞれnチャネル型TFT、pチャネル型TFTで形成されている。ELの発光方向が基板の下面（TFT及びEL層が設けられていない面）の場合、上記構成であることが好ましい。しかし本発明はこの構成に限定されない。スイッチング用TFTとEL駆動用TFTは、nチャネル型TFTでもpチャネル型TFTでも、どちらでも構わない。

【0230】

スイッチング用TFT8201は、ソース領域813、ドレイン領域814、LDD領域815a～815d、分離領域816及びチャネル形成領域817a、817bを含む活性層と、ゲート絶縁膜818と、ゲート電極819a、819bと、第1層間絶縁膜820と、ソース信号線821と、ドレイン配線822とを有している。なお、ゲート絶縁膜818又は第1層間絶縁膜820は基板上の全TFTに共通であっても良いし、回路又は素子に応じて異ならせても良い。

【0231】

また、図13に示すスイッチング用TFT8201はゲート電極817a、817bが電気的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲー

ト構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0232】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用TFTのオフ電流を十分に低くすれば、それだけEL駆動用TFT8202のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることはEL素子の有効発光面積を広げる上でも有効である。

【0233】

さらに、スイッチング用TFT8201においては、LDD領域815a～815dは、ゲート絶縁膜818を介してゲート電極819a、819bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域815a～815dの長さ（幅）は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

【0234】

なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層でなり、ゲート電圧が加えられない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域816（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【0235】

次に、EL駆動用TFT8202は、ソース領域826、ドレイン領域827及びチャネル形成領域829を含む活性層と、ゲート絶縁膜818と、ゲート電極830と、第1層間絶縁膜820と、ソース信号線831並びにドレイン配線832をして形成される。本実施例においてEL駆動用TFT8202はpチャネル型TFTである。

【0236】

また、スイッチング用TFT8201のドレイン領域814はEL駆動用TF

T8202のゲート電極830に接続されている。図示してはいないが、具体的にはEL駆動用TFT8202のゲート電極830はスイッチング用TFT8201のドレイン領域814とドレイン配線（接続配線とも言える）822を介して電気的に接続されている。また、EL駆動用TFT8202のソース信号線831は電源供給線（図示せず）に接続される。

【0237】

EL駆動用TFT8202はEL素子854に供給される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、EL駆動用TFT8202のチャネル幅(W)は、スイッチング用TFT8201のチャネル幅よりも長くなるように設計することが好ましい。また、EL駆動用TFTに過剰な電流が流れないように、チャネル長(L)は長めに設計することが好ましい。望ましくはそれぞれ0.5~2μA(好ましくは1~1.5μA)となるようにする。

【0238】

またさらに、EL駆動用TFTの活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50~100nm、さらに好ましくは60~80nm）ことによって、TFTの劣化を抑えてよい。逆に、スイッチング用TFT8201の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20~50nm、さらに好ましくは25~40nm）ことも有効である。

【0239】

以上は画素内に設けられたTFTの構造について説明したが、このとき同時に駆動回路も形成される。図13には駆動回路を形成する基本単位となるCMOS回路が図示されている。

【0240】

図13においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有するTFTをCMOS回路のnチャネル型TFT8204として用いる。なお、ここでいう駆動回路としては、ソース信号線駆動回路、ゲート信号線駆動回路、対向電源線駆動回路を指す。勿論、他の論理回路（レベルシフタ、A/Dコンバータ、信号分割回路等）を形成することも可能である。

【0241】

CMOS回路のnチャネル型TFT8204の活性層は、ソース領域835、ドレイン領域836、LDD領域837及びチャネル形成領域838を含み、LDD領域837はゲート絶縁膜818を介してゲート電極839と重なっている。

【0242】

ドレイン領域836側のみにLDD領域837を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT8204はオフ電流をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、オフセットはなくした方がよい。

【0243】

また、CMOS回路のpチャネル型TFT8205は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。従って活性層はソース領域840、ドレイン領域841及びチャネル形成領域842を含み、その上にはゲート絶縁膜818とゲート電極843が設けられる。勿論、nチャネル型TFT8204と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0244】

なお861～865はチャネル形成領域842、838、817a、817b、829を形成するためのマスクである。

【0245】

また、nチャネル型TFT8204及びpチャネル型TFT8205はそれぞれソース領域上に第1層間絶縁膜820を間に介して、ソース信号線844、845を有している。また、ドレイン配線846によってnチャネル型TFT8204とpチャネル型TFT8205のドレイン領域は互いに電気的に接続される。

【0246】

次に、847は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁膜

(特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。このパッシベーション膜847は形成されたTFTをアルカリ金属や水分から保護する役割金属を有する。最終的にTFT(特にEL駆動用TFT)の上方に設けられるEL層851にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜847はこれらのアルカリ金属(可動イオン)をTFT側に侵入させない保護層としても働く。

【0247】

また、848は第2層間絶縁膜であり、TFTによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜848としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜848で殆ど吸収してしまうことが望ましい。また、ゲート信号線やソース信号線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5~5μm(好ましくは1.5~2.5μm)が好ましい。

【0248】

また、849は透明導電膜でなる画素電極(EL素子の陽極)であり、第2層間絶縁膜848及び第1パッシベーション膜847にコンタクトホール(開孔)を開けた後、形成された開孔部においてEL駆動用TFT8202のドレイン配線832に接続されるように形成される。なお、図13のように画素電極849とドレイン領域827とが直接接続されないようにしておくと、EL層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【0249】

画素電極849の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜850が0.3~1μmの厚さに設けられる。この第3層間絶縁膜850はバンクとして機能する。画素電極849の上にエッチングにより開口部が設けられ、その開口部の縁はテーパー形状となるようにエッチングする。テーパーの角度は10~60°(好ましくは30~50°)とすると良い。特に第

3層間絶縁膜850を、画素電極849とEL駆動用TFT8202のドレイン配線832とが接続されている部分の上に設けることで、コンタクトホールの部分において生じる画素電極849の段差によるEL層851の発光不良を防ぐことができる。

【0250】

第3層間絶縁膜850の上にはEL層851が設けられる。EL層851は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、EL層に対して蛍光性色素等をドーピングしても良い。

【0251】

図13の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図13には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。本発明は発光方式に関わらず実施することが可能である。

【0252】

EL層851の上には対向電極としてのEL素子の陰極852が設けられる。陰極852としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFA1電極が挙げられる。

【0253】

陰極852はEL層851を形成した後、大気開放しないで連続的に形成することが望ましい。陰極852とEL層851との界面状態はEL素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極(陽極)、EL層及び陰極で形成される発光素子をEL素子8206と呼ぶ。

【0254】

EL層851と陰極852となる積層体は、各画素で個別に形成する必要が

あるが、EL層851は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0255】

なお、EL層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピンドルコート法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

【0256】

また、854は第2パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。第2パッシベーション膜854を設ける目的は、EL層851を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温（好ましくは室温から120℃までの温度範囲）で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法（スピンドルコート法）が望ましい成膜方法と言える。

【0257】

なお、図13に図示されたTFTは全て、本発明で用いるポリシリコン膜を活性層として有していても良いことは言うまでもない。

【0258】

本発明は、図13のELディスプレイの構造に限定されるものではなく、図13の構造は本発明を実施する上での好ましい形態の一つに過ぎない。

【0259】

なお本実施例は、実施例1～5と組み合わせて実施することが可能である。

【0260】

(実施例8)

本実施例では、EL素子が形成された基板を、EL素子が大気に触れないように封止して、本発明のELディスプレイを作製する工程について説明する。なお、図14(A)は本発明のELディスプレイの上面図であり、図14(B)はそ

の断面図である。

【0261】

図14（A）、（B）において、4001は基板、4002は画素部、4003はソース信号線駆動回路、4004aはゲート信号線駆動回路、4004bは対向電源線駆動回路であり、それぞれの駆動回路は配線4005を経てFPC（フレキシブルプリントサーキット）4006に至り、外部機器へと接続される。

【0262】

このとき、画素部4002、ソース信号線駆動回路4003、ゲート信号線駆動回路4004a及び対向電源線駆動回路4004bを囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0263】

図14（B）は図14（A）をA-A'で切断した断面図に相当し、基板4001の上にソース信号線駆動回路4003に含まれる駆動TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。）4201及び画素部4002に含まれるEL駆動用TFT（EL素子を流れる電流を制御するTFT）4202が形成されている。

【0264】

本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、EL駆動用TFT4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002にはEL駆動用TFT4202のゲート電極に接続されたコンデンサ（図示せず）が設けられる。

【0265】

駆動TFT4201及びEL駆動用TFT4202の上には樹脂材料でなる層間絶縁膜（平坦化膜）4301が形成され、その上にEL駆動用TFT4202のドレイン領域と電気的に接続する画素電極（陽極）4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛と

の化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0266】

そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0267】

EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0268】

EL層4304の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4305が形成される。陰極4305は対向電源線の一部であり、対向電源線と同時に形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0269】

そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

【0270】

以上のようにして、画素電極（陽極）4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第2シール材4102によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0271】

カバー材4102としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエスチルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0272】

但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエスチルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0273】

また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4103の内部に吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質を設けておくとEL素子の劣化を抑制できる。

【0274】

また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0275】

また、配線4005は異方導電性フィルム4307を介してFPC4006に電気的に接続される。配線4005は画素部4002、ソース信号線駆動回路4003、ゲート信号線駆動回路4004a及び対向電源線駆動回路4004bに送られる信号をFPC4006に伝え、FPC4006により外部機器と電気的に接続される。

【0276】

また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図14（B）の断面構造を有するELディスプレイとなる。

【0277】

なお本実施例は、実施例1～7と組み合わせて実施することが可能である。

【0278】

(実施例9)

本実施例では、図3とは異なる構造を有する画素の回路図について、図15を用いて説明する。なお、本実施例において、4801はソース信号線、4802はスイッチング用TFT、4803はゲート信号線、4804はEL駆動用TFT、4805はコンデンサ、4806は電源供給線、4808は対向電源線、4809はEL素子である。

【0279】

図15に示した回路図では、同じラインの隣り合う二つの画素間で、同じ電源供給線4806を有している場合の例である。即ち、二つの画素が電源供給線4806を中心に線対称となるように形成されている点に特徴がある。電源供給線4806は、隣り合う2つの画素が有するEL駆動用TFT4804のソース領域にそれぞれ接続されている。

【0280】

この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精度化することができる。

【0281】

なお、本実施例の構成は、実施例1～8の構成と組み合わせて実施することが可能である。

【0282】

(実施例10)

本実施例では、図9で示したソース信号線駆動回路102の詳しい構成について説明する。

【0283】

シフトレジスタ801、ラッチ(A)(802)、ラッチ(B)(803)、が図16に示すように配置されている。なお本実施例では、1組のラッチ(A)(802)と1組のラッチ(B)(803)が、4本のソース信号線St～S(t+3)に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【0284】

クロック信号CLK、CLKの極性が反転したクロック信号CLKB、スタートパルス信号SP、駆動方向切り替え信号SL/Rはそれぞれ図に示した配線からシフトレジスタ801に入力される。また外部から入力されるデジタルビデオ信号VDは図に示した配線からラッチ(A)(802)に入力される。ラッチ信号S_LAT、S_LATの極性が反転した信号S_LATbはそれぞれ図に示した配線からラッチ(B)(803)に入力される。

【0285】

ラッチ(A)(802)の詳しい構成について、ソース信号線Stに対応するラッチ(A)(802)の一部804を例にとって説明する。ラッチ(A)(802)の一部804は2つのクロックドインバーターと2つのインバーターを有している。

【0286】

ラッチ(A)(802)の一部804の上面図を図17に示す。831a、831bはそれぞれ、ラッチ(A)(802)の一部804が有するインバーターの1つを形成するTFTの活性層であり、836は該インバータの1つを形成するTFTの共通のゲート電極である。また832a、832bはそれぞれ、ラッ

チ (A) (802) の一部 804 が有するもう 1 つのインバーターを形成する TFT の活性層であり、837a、837b は活性層 832a、832b 上にそれぞれ設けられたゲート電極である。なおゲート電極 837a、837b は電気的に接続されている。

【0287】

833a、833b はそれぞれ、ラッチ (A) (802) の一部 804 が有するクロックドインバーターの 1 つを形成する TFT の活性層である。活性層 833a 上にはゲート電極 838a、838b が設けられており、ダブルゲート構造となっている。また活性層 833b 上にはゲート電極 838b、839 が設けられており、ダブルゲート構造となっている。

【0288】

834a、834b はそれぞれ、ラッチ (A) (802) の一部 804 が有するもう 1 つのクロックドインバーターを形成する TFT の活性層である。活性層 834a 上にはゲート電極 839、840 が設けられており、ダブルゲート構造となっている。また活性層 834b 上にはゲート電極 840、841 が設けられており、ダブルゲート構造となっている。

【0289】

(実施例 11)

本発明の EL ディスプレイにおいて、EL 素子が有する EL 層に用いられる材料は、有機 EL 材料に限定されず、無機 EL 材料を用いても実施できる。但し、現在の無機 EL 材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有する TFT を用いなければならない。

【0290】

または、将来的にさらに駆動電圧の低い無機 EL 材料が開発されれば、本発明に適用することは可能である。

【0291】

また、本実施例の構成は、実施例 1 ~ 10 と組み合わせて実施することが可能である。

【0292】

(実施例12)

本発明において、EL層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。低分子系有機物質はAlq₃（トリス-8-キノリライト-アルミニウム）、TPD（トリフェニルアミン誘導体）等を中心とした材料が知られている。ポリマー系有機物質として、π共役ポリマー系の物質が挙げられる。代表的には、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）、ポリカーボネート等が挙げられる。

【0293】

ポリマー系（高分子系）有機物質は、スピンドルティング法（溶液塗布法ともいう）、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0294】

また本発明のELディスプレイが有するEL素子において、そのEL素子が有するEL層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機の材料、例えば非晶質のSiまたは非晶質のSi_{1-x}C_x等の非晶質半導体で構成しても良い。

【0295】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、EL素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0296】

また有機EL層にドーパント（不純物）を添加し、有機EL層の発光の色を変化させても良い。ドーパントとして、DCM1、ナイルレッド、ルブレン、クマリン6、TPB、キナクリドン等が挙げられる。

【0297】

なお本実施例は、実施例1～11と組み合わせて実施することが可能である。

【0298】

(実施例13)

本実施例では、本発明のELディスプレイの駆動方法を用いた場合、どの様な

電圧電流特性を有する領域でEL駆動用TFTを駆動させるのが好ましいか、図18～20を用いて説明する。

【0299】

EL素子は、印加される電圧が少しでも変化すると、それに対してEL素子を流れる電流が指数関数的に大きく変化する。別の見方をすると、EL素子を流れる電流の大きさが変化しても、EL素子に印加される電圧値はあまり変化しない。そして、EL素子の輝度は、EL素子に流れる電流にほぼ正比例して大きくなる。よって、EL素子に印加される電圧の大きさ（電圧値）を制御することによりEL素子の輝度を制御するよりも、EL素子を流れる電流の大きさ（電流量）を制御することによりEL素子の輝度を制御する方が、TFTの特性に左右されずらく、EL素子の輝度の制御が容易である。

【0300】

図18を参照する。図18（A）は、図3に示した本発明のELディスプレイの画素において、EL駆動用TFT108およびEL素子110の構成部分のみを図示したものである。

【0301】

図18（B）には、図18（A）で示したEL駆動用TFT108およびEL素子110の電圧電流特性を示す。なお図18で示すEL駆動用TFT108の電圧電流特性のグラフは、ソース領域とドレイン領域の間の電圧である V_{DS} に対する、EL駆動用TFT108のドレイン領域に流れる電流の大きさを示しており、図18にはEL駆動用TFT108のソース領域とゲート電極の間の電圧である V_{GS} の値の異なる複数のグラフを示している。

【0302】

図18（A）に示したように、EL素子110の画素電極と対向電極111の間にかかる電圧を V_{EL} 、電源供給線に接続される端子3601とEL素子110の対向電極111の間にかかる電圧を V_T とする。なお V_T は電源供給線の電位によってその値が固定される。またEL駆動用TFT108のソース領域・ドレイン領域間の電圧を V_{DS} 、EL駆動用TFT108のゲート電極に接続される配線3602とソース領域との間の電圧、つまりEL駆動用TFT108のゲート電

極とソース領域の間の電圧を V_{GS} とする。

【0303】

EL駆動用TFT108はnチャネル型TFTでもpチャネル型TFTでもどちらでも良い

【0304】

また、EL駆動用TFT108とEL素子110とは直列に接続されている。よって、両素子（EL駆動用TFT108とEL素子110）を流れる電流量は同じである。従って、図18（A）に示したEL駆動用TFT108とEL素子110とは、両素子の電圧電流特性を示すグラフの交点（動作点）において駆動する。図18（B）において、 V_{EL} は、対向電極111の電位と動作点での電位との間の電圧になる。 V_{DS} は、EL駆動用TFT108の端子3601での電位と動作点での電位との間の電圧になる。つまり、 V_T は、 V_{EL} と V_{DS} の和に等しい。

【0305】

ここで、 V_{GS} を変化させた場合について考える。図18（B）から分かるように、EL駆動用TFT108の $|V_{GS} - V_{TH}|$ が大きくなるにつれて、言い換えると $|V_{GS}|$ が大きくなるにつれて、EL駆動用TFT108に流れる電流量が大きくなる。なお、 V_{TH} はEL駆動用TFT108のしきい値電圧である。よって図18（B）から分かるように、 $|V_{GS}|$ が大きくなると、動作点においてEL素子110を流れる電流量も当然大きくなる。EL素子110の輝度は、EL素子110を流れる電流量に比例して高くなる。

【0306】

$|V_{GS}|$ が大きくなることによってEL素子110を流れる電流量が大きくなると、電流量に応じて V_{EL} の値も大きくなる。そして V_T の大きさは電源供給線の電位によって定まっているので、 V_{EL} が大きくなると、その分 V_{DS} が小さくなる。

【0307】

また図18（B）に示したように、EL駆動用TFTの電圧電流特性は、 V_{GS} と V_{DS} の値によって2つの領域に分けられる。 $|V_{GS} - V_{TH}| < |V_{DS}|$ である

領域が飽和領域、 $|V_{GS} - V_{TH}| > |V_{DS}|$ である領域が線形領域である。

【0308】

飽和領域においては以下の式1が成り立つ。なお I_{DS} はEL駆動用TFT108のチャネル形成領域を流れる電流量である。また $\beta = \mu C_0 W / L$ であり、 μ はEL駆動用TFT108の移動度、 C_0 は単位面積あたりのゲート容量、 W / L はチャネル形成領域のチャネル幅 W とチャネル長 L の比である。

【0309】

【式1】

$$I_{DS} = \beta (V_{GS} - V_{TH})^2 / 2$$

【0310】

また線形領域においては以下の式2が成り立つ。

【0311】

【式2】

$$I_{DS} = \beta \{ (V_{GS} - V_{TH}) V_{DS} - V_{DS}^2 / 2 \}$$

【0312】

式1からわかるように、飽和領域において電流量は V_{DS} によってほとんど変化せず、 V_{GS} のみによって電流量が定まる。

【0313】

一方、式2からわかるように、線形領域は、 V_{DS} と V_{GS} とにより電流量が定まる。 $|V_{GS}|$ を大きくしていくと、EL駆動用TFT108は線形領域で動作するようになる。そして、 V_{EL} も徐々に大きくなっていく。よって、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。線形領域では、 V_{DS} が小さくなると電流量も小さくなる。そのため、 $|V_{GS}|$ を大きくしていっても、電流量は増加しにくくなってくる。 $|V_{GS}| = \infty$ になった時、電流量 = I_{MAX} となる。つまり、 $|V_{GS}|$ をいくら大きくしても、 I_{MAX} 以上の電流は流れない。ここで、 I_{MAX} は、 $V_{EL} = V_T$ の時に、EL素子110を流れる電流量である。

【0314】

このように $|V_{GS}|$ の大きさを制御することによって、動作点を飽和領域にしたり、線形領域にしたりすることができます。

【0315】

ところで、全てのEL駆動用TFTの特性は理想的には全て同じであることが望ましいが、実際には個々のEL駆動用TFTでしきい値 V_{TH} と移動度 μ とが異なっていることが多い。そして個々のEL駆動用TFTのしきい値 V_{TH} と移動度 μ とが互いに異なると、式1及び式2からわかるように、 V_{GS} の値が同じでもEL駆動用TFT108のチャネル形成領域を流れる電流量が異なってしまう。

【0316】

図19にしきい値 V_{TH} と移動度 μ とがずれたEL駆動用TFTの電流電圧特性を示す。実線3701が理想の電流電圧特性のグラフであり、3702、3703がそれぞれしきい値 V_{TH} と移動度 μ とが理想とする値と異なってしまった場合のEL駆動用TFTの電流電圧特性である。電流電圧特性のグラフ3702、3703は飽和領域においては同じ電流量 ΔI_1 だけ、理想の特性を有する電流電圧特性のグラフ3701からずれていて、電流電圧特性のグラフ3702の動作点3705は飽和領域にあり、電流電圧特性のグラフ3703の動作点3706は線形領域にあったとする。その場合、理想の特性を有する電流電圧特性のグラフ3701の動作点3704における電流量と、動作点3705及び動作点3706における電流量のずれをそれぞれ ΔI_2 、 ΔI_3 とすると、飽和領域における動作点3705よりも線形領域における動作点3706の方が小さい。

【0317】

よって本発明で示したデジタル方式の駆動方法を用いる場合、動作点が線形領域に存在するようにEL駆動用TFTとEL素子を駆動させることで、EL駆動用TFTの特性のずれによるEL素子の輝度むらを抑えた階調表示を行うことができる。

【0318】

また従来のアナログ駆動の場合は、 $|V_{GS}|$ のみによって電流量を制御することが可能な飽和領域に動作点が存在するようにEL駆動用TFTとEL素子を駆動させる方が好ましい。

【0319】

以上の動作分析のまとめとして、EL駆動用TFTのゲート電圧 $|V_{GS}|$ に対

する電流量のグラフを図20に示す。 $|V_{GS}|$ を大きくしていき、EL駆動用TFTのしきい値電圧の絶対値 $|V_{TH}|$ よりも大きくなると、EL駆動用TFTが導通状態となり、電流が流れ始める。本明細書ではこの時の $|V_{GS}|$ を点灯開始電圧と呼ぶこととする。そして、さらに $|V_{GS}|$ を大きくしていくと、 $|V_{GS}|$ が $|V_{GS} - V_{TH}| = |V_{DS}|$ を満たすような値（ここでは仮にAとする）となり、飽和領域3801から線形領域3802になる。さらに $|V_{GS}|$ を大きくしていくと、電流量が大きくなり、遂には、電流量が飽和してくる。その時 $|V_{GS}| = \infty$ となる。

【0320】

図20から分かる通り、 $|V_{GS}| \leq |V_{TH}|$ の領域では、電流がほとんど流れない。 $|V_{TH}| \leq |V_{GS}| \leq A$ の領域は飽和領域であり、 $|V_{GS}|$ によって電流量が変化する。そして、 $A \leq |V_{GS}|$ の領域は線形領域であり、EL素子に流れ電流量は $|V_{GS}|$ 及び $|V_{DS}|$ によって電流量が変化する。

【0321】

本発明のデジタル駆動では、 $|V_{GS}| \leq |V_{TH}|$ の領域及び $A \leq |V_{GS}|$ の線形領域を用いることが好ましい。

【0322】

なお本実施例は、実施例1～12と組み合わせて実施することが可能である。

【0323】

(実施例14)

本発明を実施して形成されたELディスプレイは、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器（電気光学装置）の表示部に用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のディスプレイの表示部として本発明のELディスプレイを用いるとよい。

【0324】

なお、ELディスプレイには、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子機器の表示部として本発明のELディスプレイ

を用いることができる。

【0325】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図21、図22に示す。

【0326】

図21（A）はディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明のELディスプレイは表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができます。

【0327】

図21（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のELディスプレイは表示部2102に用いることができる。

【0328】

図21（C）は頭部取り付け型の電気光学装置の一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示部2206等を含む。本発明のELディスプレイは表示部2206に用いることができる。

【0329】

図21（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（DVD等）2302、操作スイッチ2303、表示部（a）2304、表示部（b）2305等を含む。表示部（a）230

4は主として画像情報を表示し、表示部（b）2305は主として文字情報を表示するが、本発明のELディスプレイはこれら表示部（a）、（b）2304、2305に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0330】

図21（E）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2401、表示部2402、アーム部2403を含む。本発明のELディスプレイは表示部2402に用いることができる。

【0331】

図21（F）はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明のELディスプレイは表示部2503に用いることができる。

【0332】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0333】

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0334】

また、ELディスプレイは発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0335】

ここで図22（A）は携帯電話であり、本体2601、音声出力部2602、

音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明のELディスプレイは表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0336】

また、図22(B)は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明のELディスプレイは表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部2702は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0337】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例は、実施例1～13と組み合わせて実施することが可能である。

【0338】

【発明の効果】

本発明は上記構成によって、 TFTによって $I_{DS}-V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS}-V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0339】

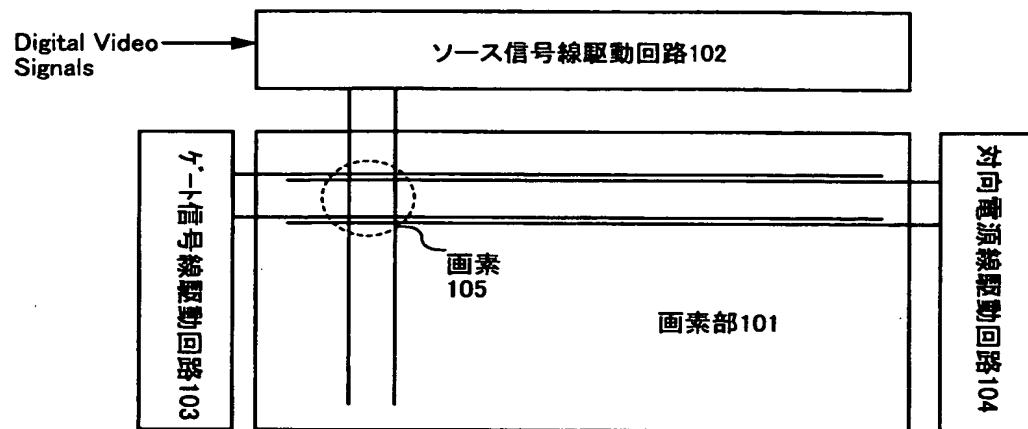
また、本発明では、表示を行わない非表示期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非表示期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【図面の簡単な説明】

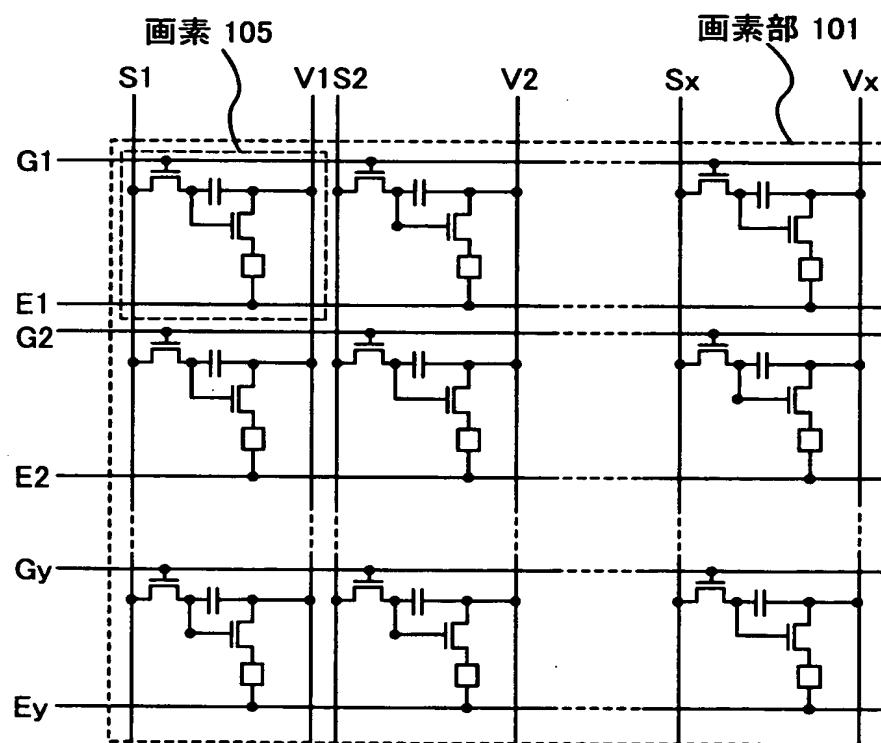
- 【図1】 本発明のELディスプレイの回路構成を示すブロック図。
- 【図2】 本発明のELディスプレイの画素部の回路図。
- 【図3】 本発明のELディスプレイの画素の回路図。
- 【図4】 本発明のELディスプレイの駆動方法を示す図。
- 【図5】 本発明のELディスプレイの駆動方法を示す図。
- 【図6】 本発明のELディスプレイの駆動方法を示す図。
- 【図7】 本発明のELディスプレイの駆動方法を示す図。
- 【図8】 本発明のELディスプレイの画素上面図。
- 【図9】 本発明のELディスプレイの駆動回路の構成を示すブロック図。
- 【図10】 本発明のELディスプレイの作製行程を示す図。
- 【図11】 本発明のELディスプレイの作製行程を示す図。
- 【図12】 本発明のELディスプレイの作製行程を示す図。
- 【図13】 本発明のELディスプレイの断面詳細図。
- 【図14】 本発明のELディスプレイの上面図及び断面図。
- 【図15】 本発明のELディスプレイの画素回路図。
- 【図16】 本発明のELディスプレイのソース信号線駆動回路の回路図。
- 【図17】 本発明のELディスプレイのソース信号線駆動回路のラッチ上面図
- 【図18】 EL素子とEL駆動用TFTの接続の構成を示す図と、EL素子とEL駆動用TFTの電圧電流特性を示す図。
- 【図19】 EL素子とEL駆動用TFTの電圧電流特性を示す図。
- 【図20】 EL駆動用TFTのゲート電圧とドレイン電流の関係を示す図。
- 【図21】 本発明のELディスプレイの上面図。
- 【図22】 本発明のELディスプレイの回路構成を示すブロック図。
- 【図23】 従来のELディスプレイの画素部の回路図。
- 【図24】 従来のELディスプレイの駆動方法を示すタイミングチャート。
- 【図25】 TFTの I_{DS} - V_{GS} 特性を示す図。

【書類名】 図面

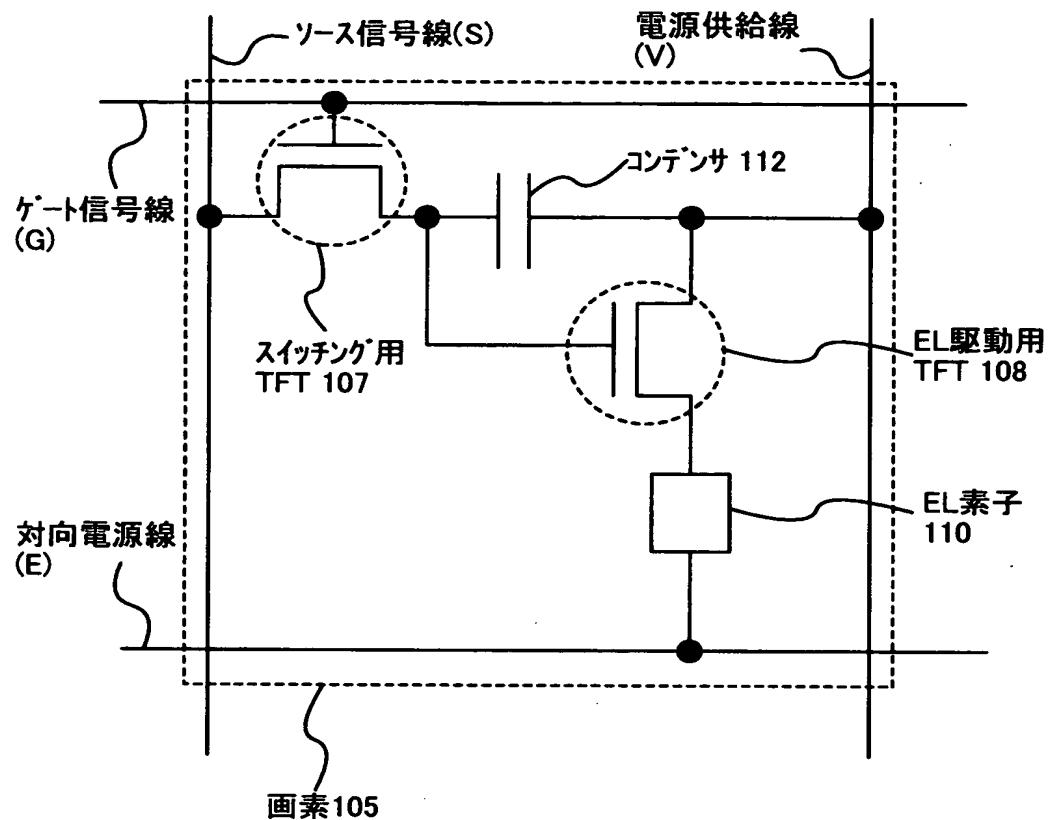
【図1】



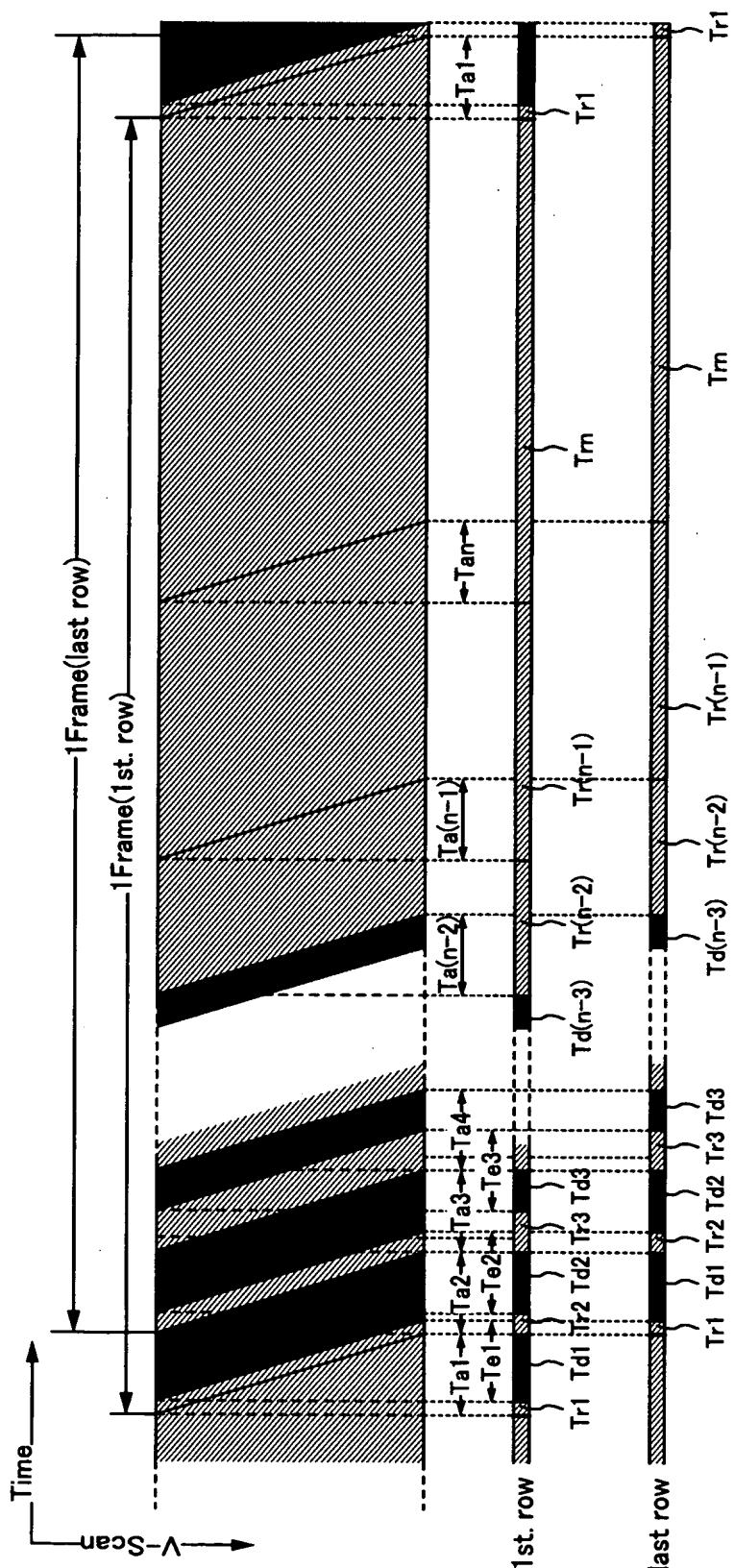
【図2】



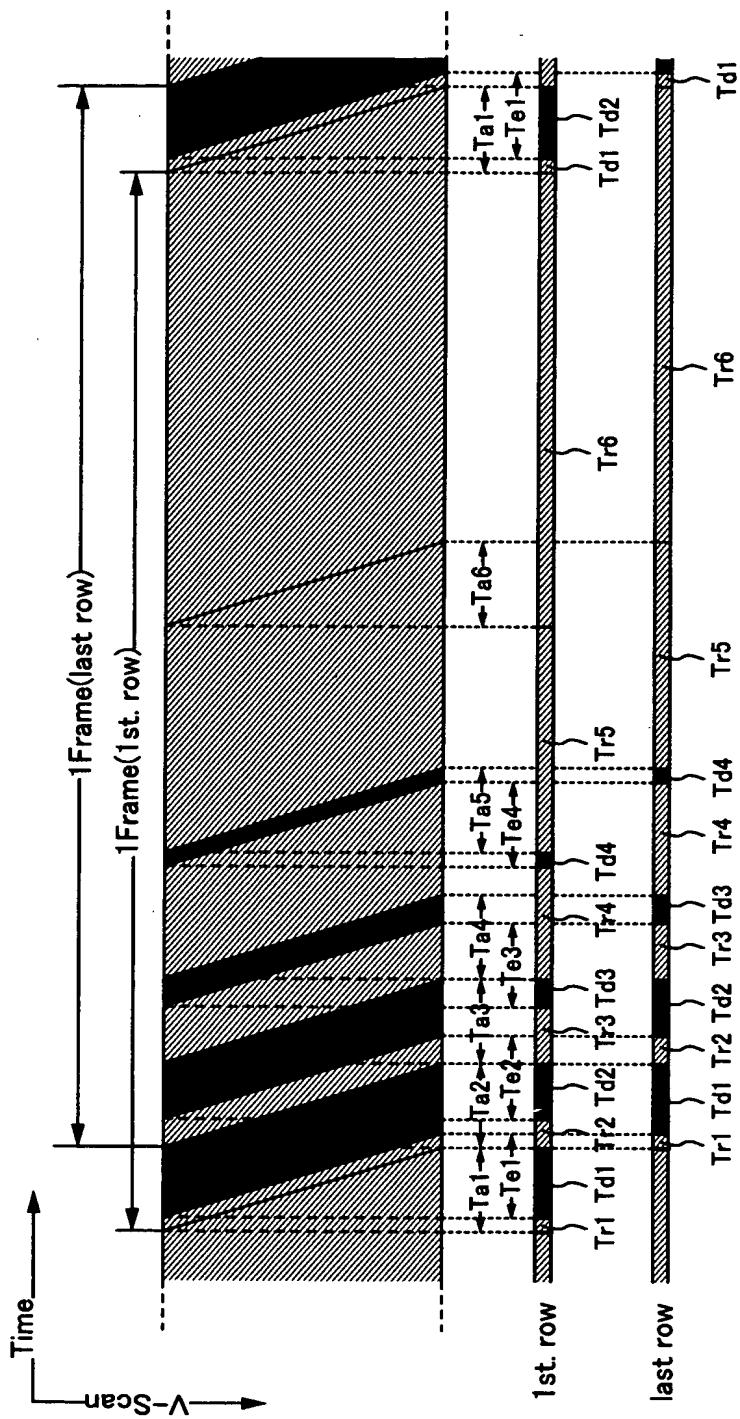
【図3】



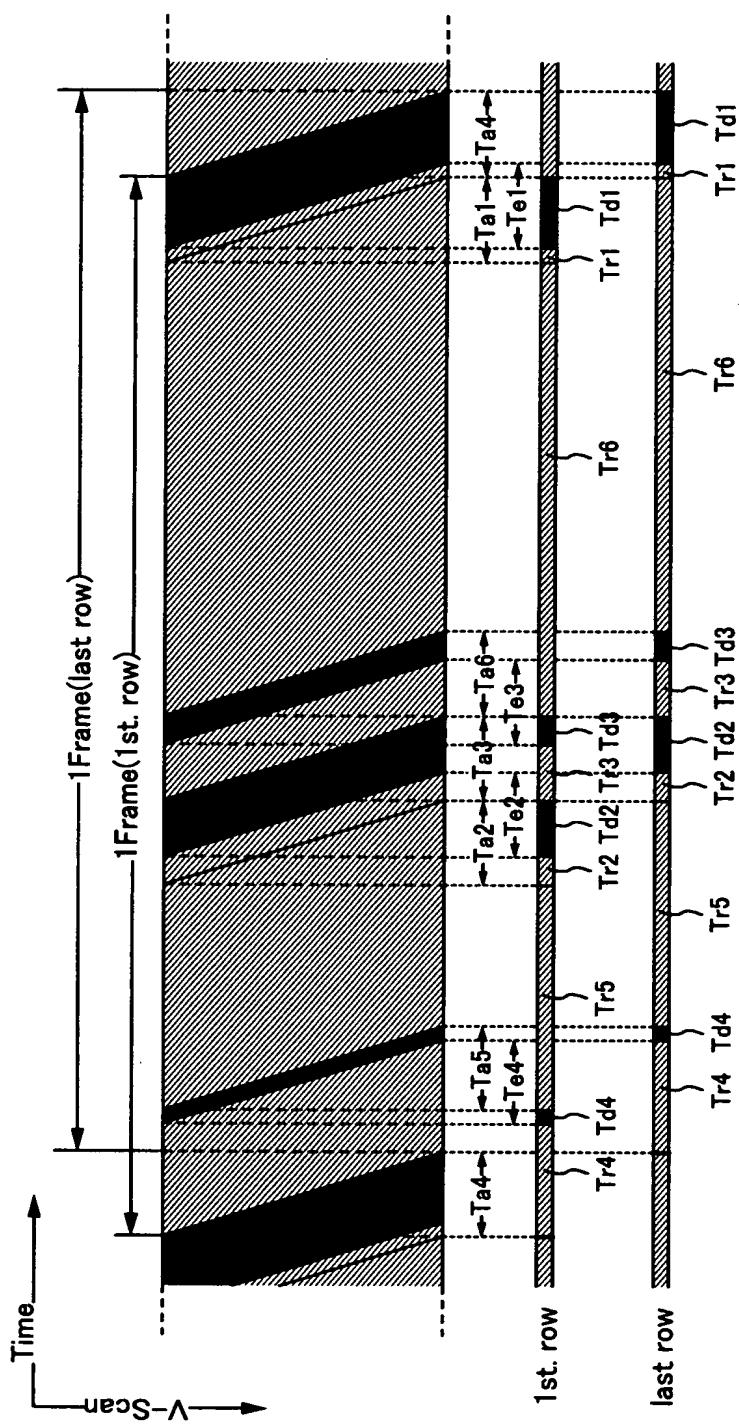
【図4】



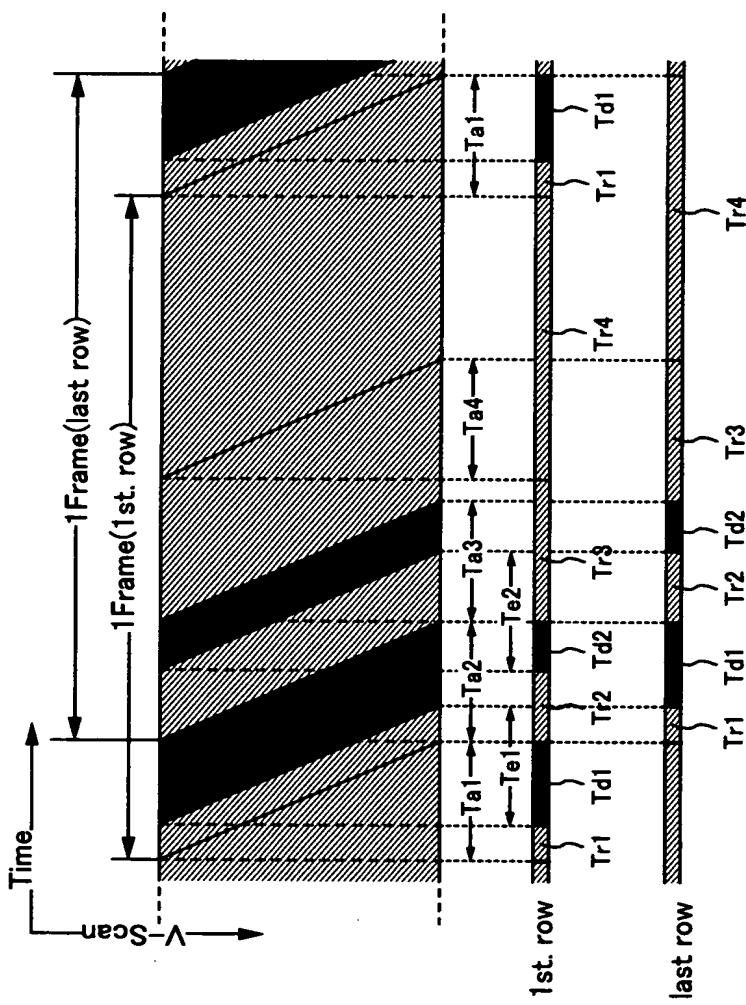
【図5】



【図6】

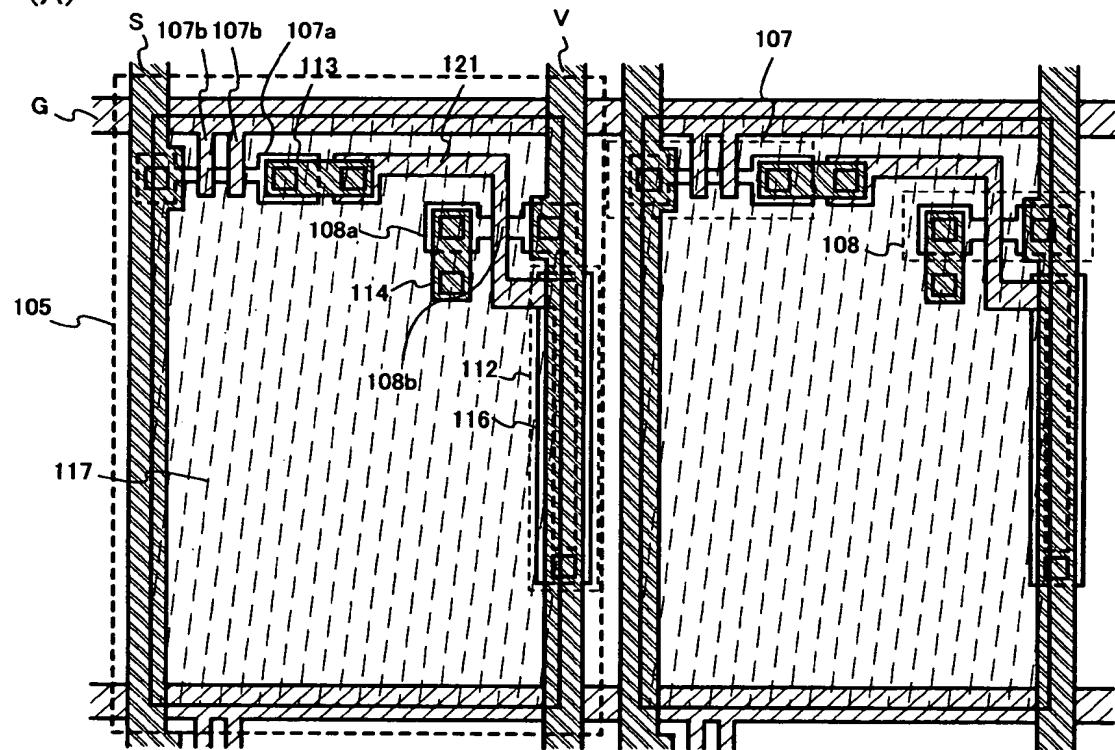


【図 7】

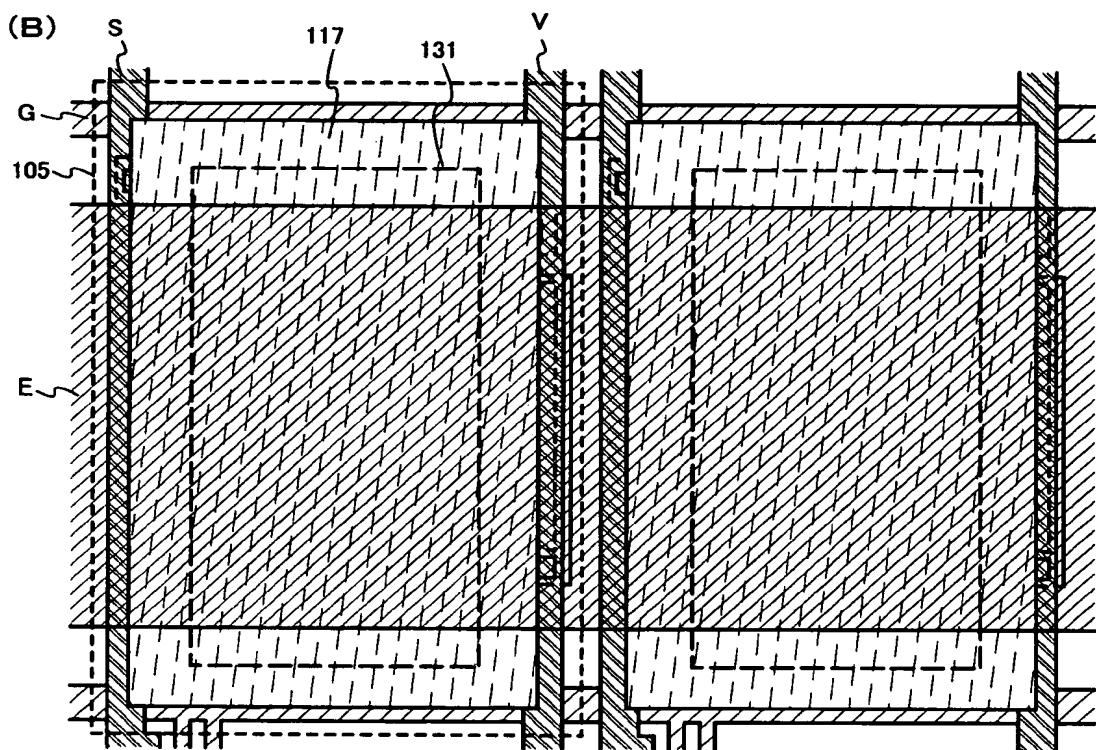


【図8】

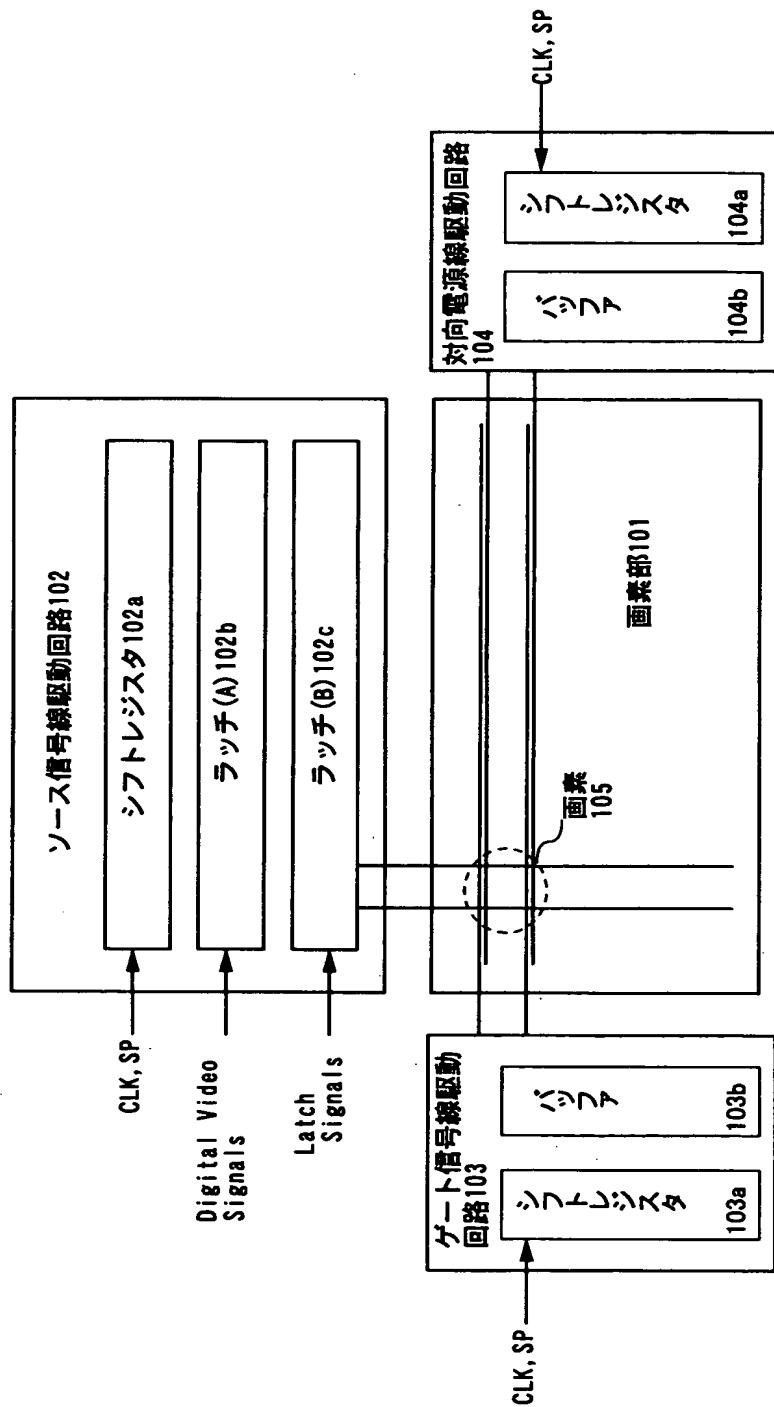
(A)



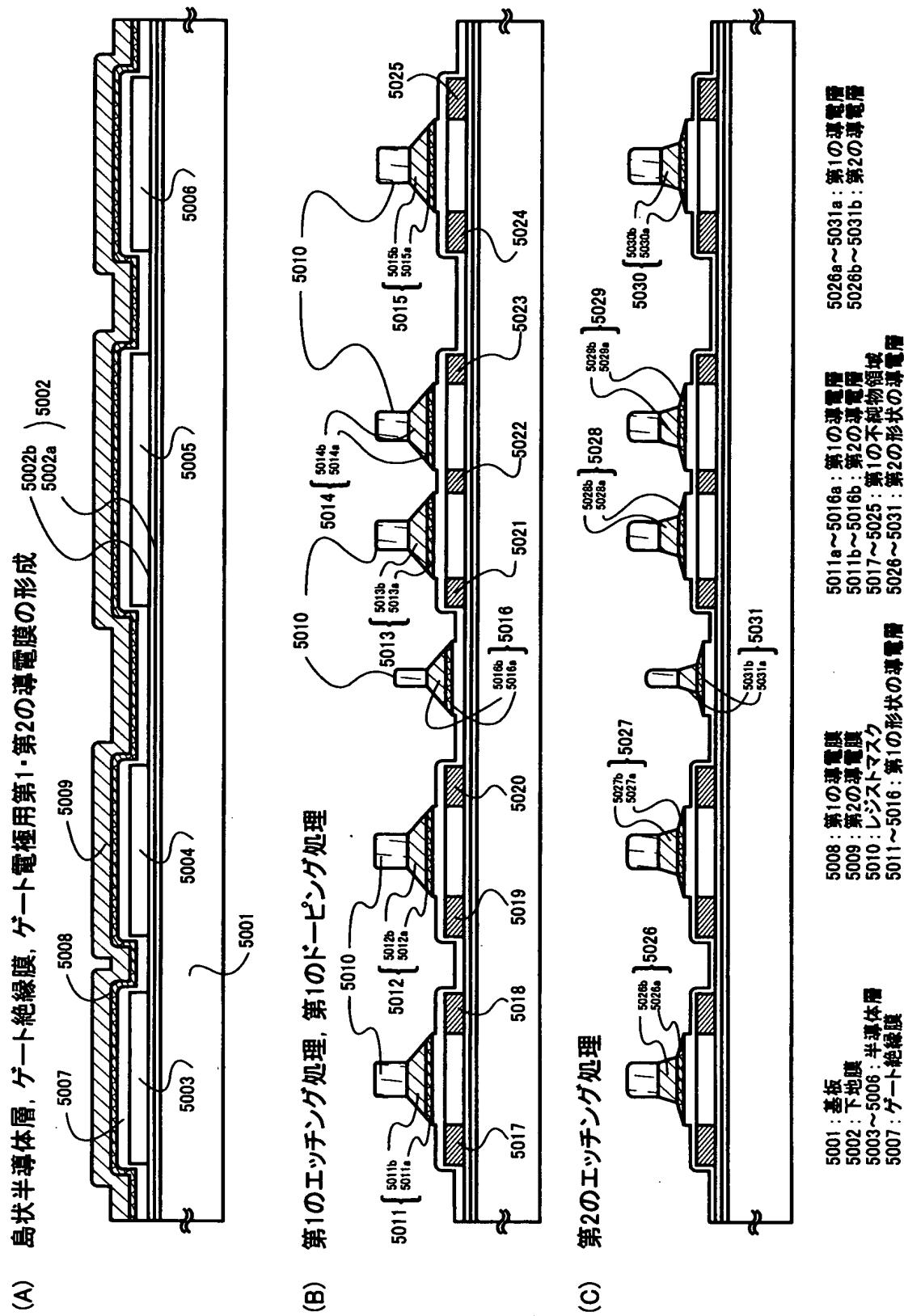
(B)



【図9】

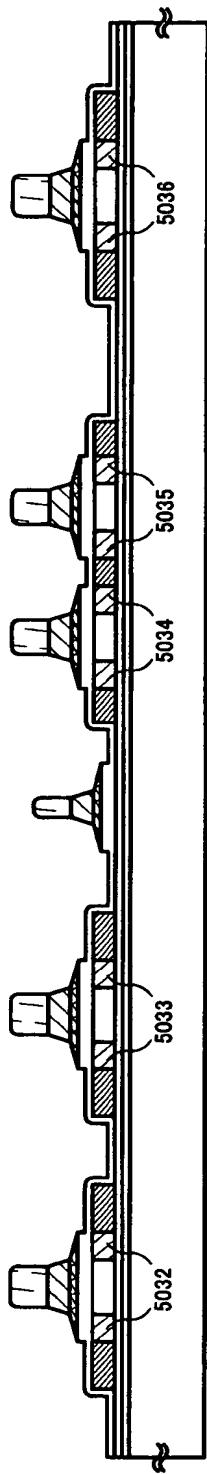


【図10】

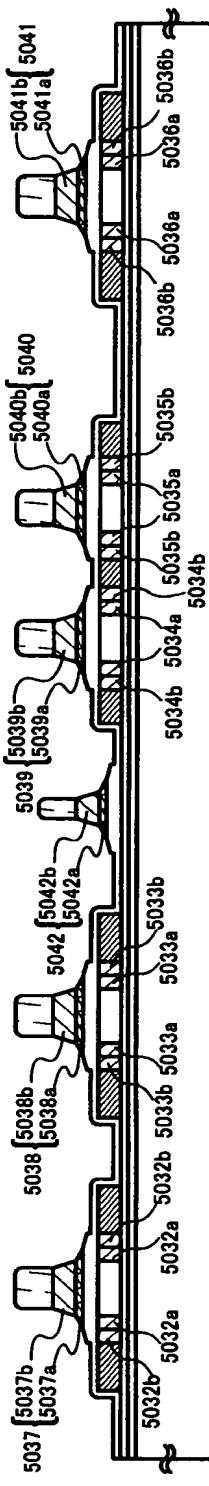


【図11】

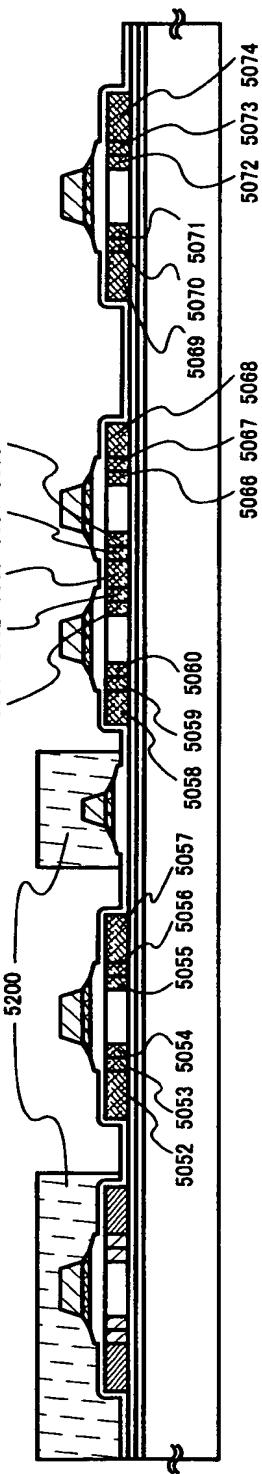
(A) 第2のドーピング処理



(B) 第3のエッキング処理



(C) 第3のドーピング処理

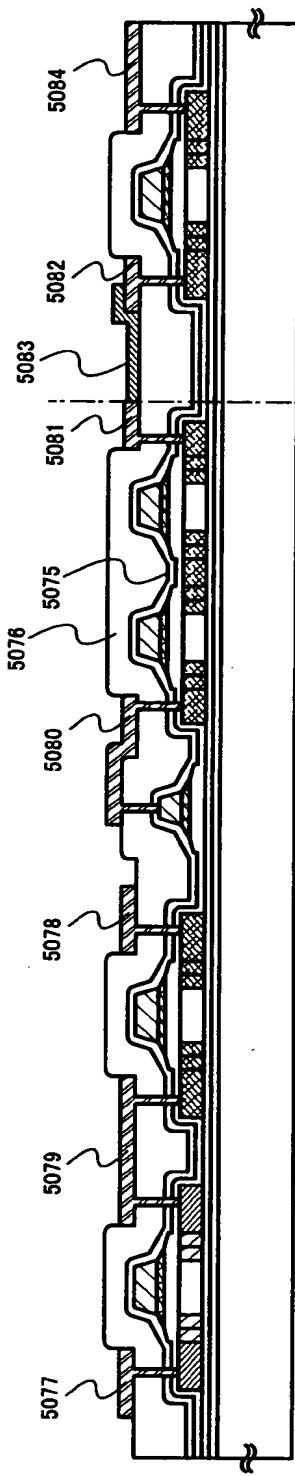


5032～5041：第3の不純物領域
5042～5051：第2の不純物領域
5052～5074：第4の不純物領域

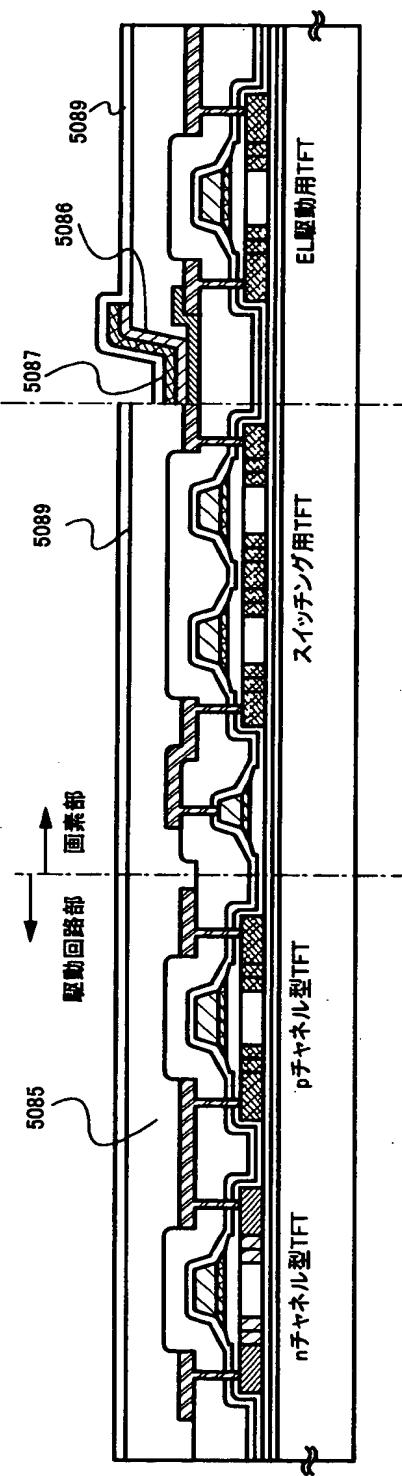
5200：レジストマスク

【図12】

(A) 第1, 第2の層間絶縁膜, 配線, 画素電極形成



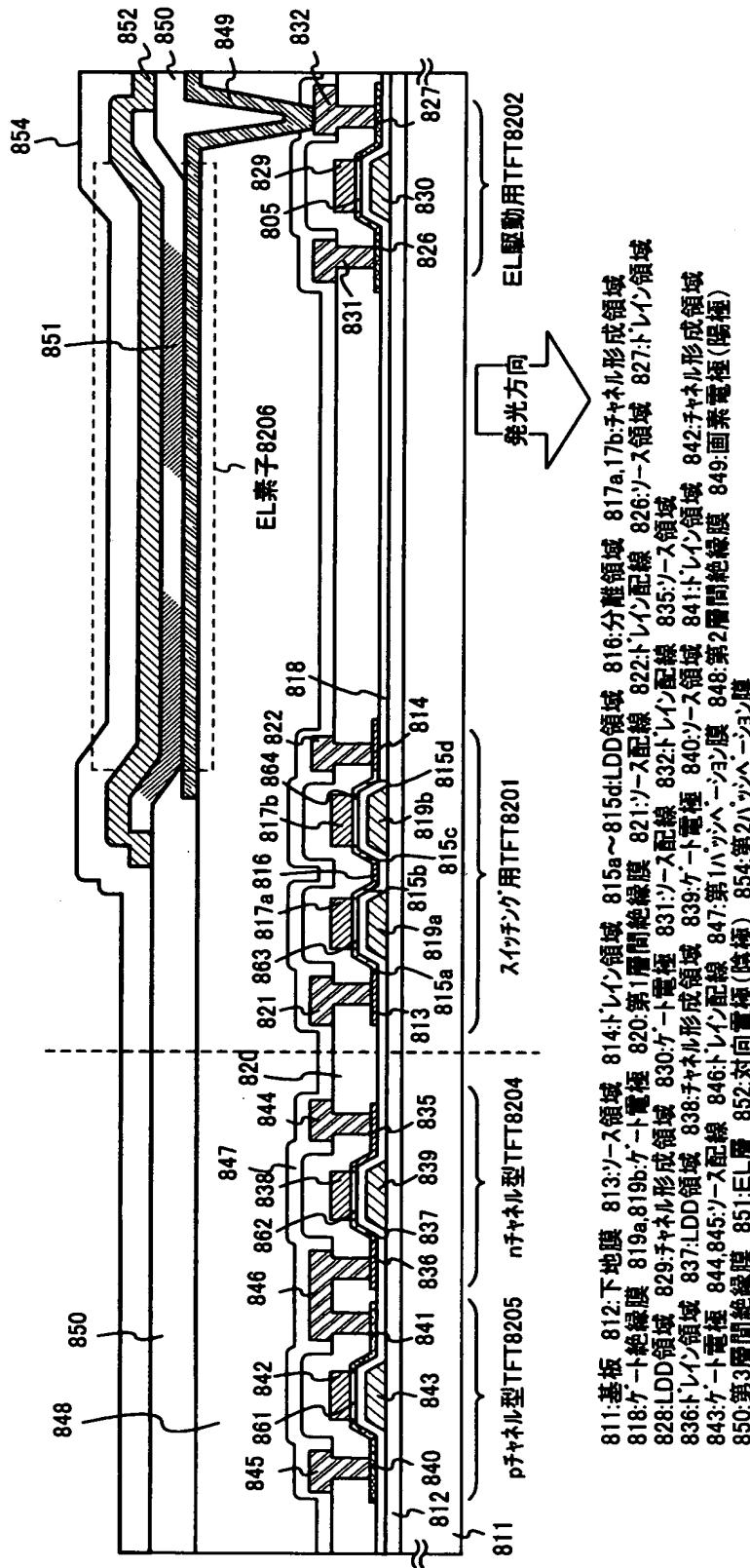
(B) 第3の層間絶縁膜, EL層, 陰極電極, 保護電極, パッシンベーション膜形成



5075 : 第1の層間絶縁膜
 5076 : 第2の層間絶縁膜
 5077～5078 : ソース配線
 5079 : ドレイン配線
 5080～5082 : 接続配線
 5083 : 画素電極
 5084 : 保護電極
 5085 : ドライバ配線
 5086 : EL層
 5087 : 陰極
 5088 : パッシンベーション膜
 5089 : 第3の層間絶縁膜

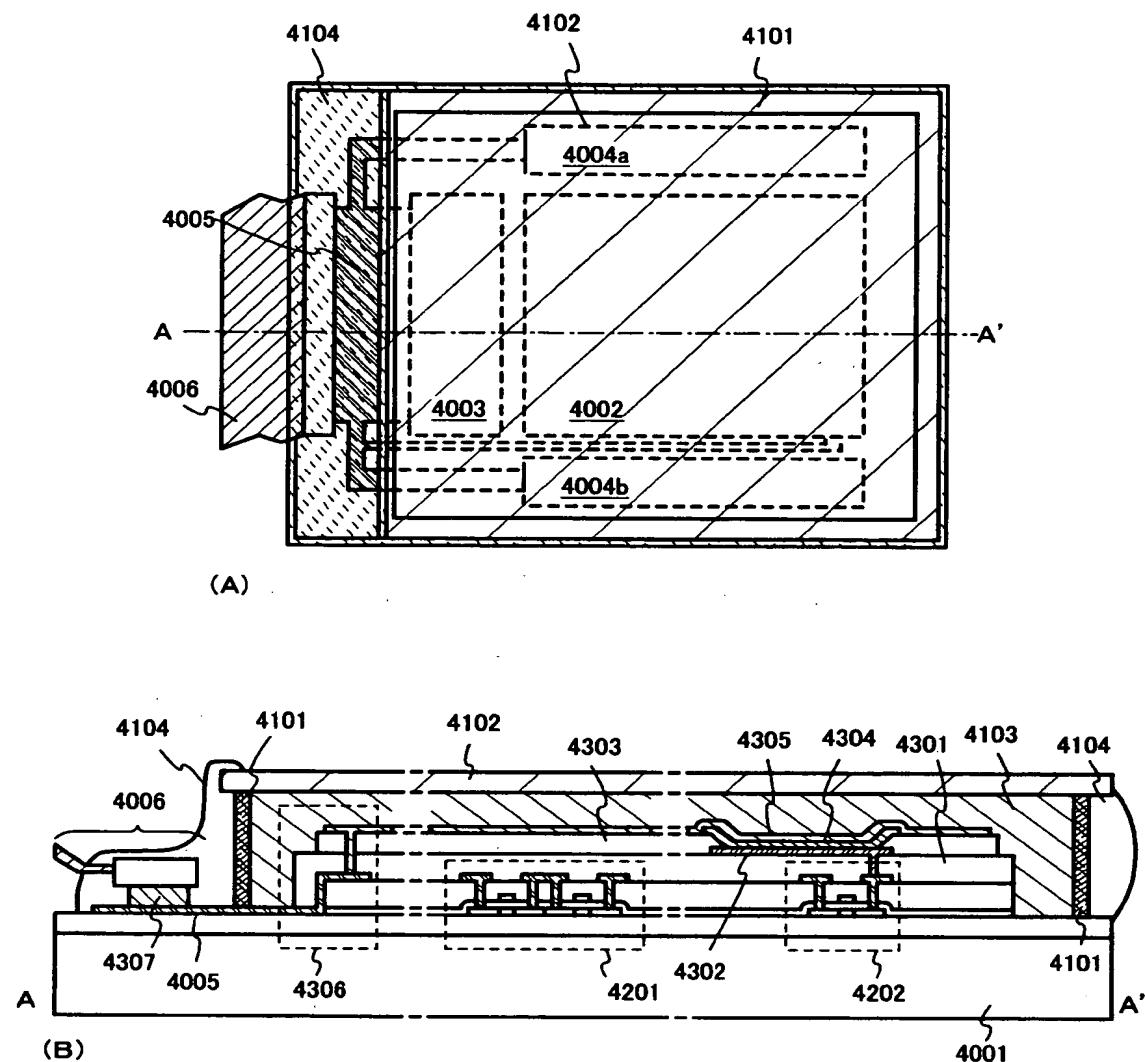
5086 : EL層
 5087 : 陰極
 5089 : パッシンベーション膜

【図13】

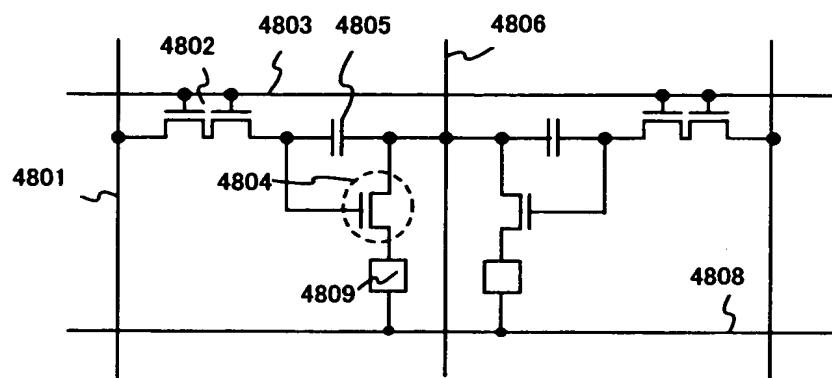


811:基板 812:下地膜 813:ソース入領域 814:トレンジ領域 815a～815d:LDD領域 816:分離領域 817a,17b:チャネル形成領域
 818:ゲート電極膜 819a,819b:ゲート電極 820:第1層間絶縁膜 821:ソース配線 822:トレンジ配線 823:ソース領域 824:トレンジ領域
 828:LDD領域 829:チャネル形成領域 830:ゲート電極 831:ソース配線 832:トレンジ配線 835:ソース領域
 836:トレンジ領域 837:LDD領域 838:チャネル形成領域 839:ゲート電極 840:ソース領域 841:トレンジ領域 842:チャネル形成領域
 843:ゲート電極 844,845:ソース配線 846:トレンジ配線 847:第1ハンドヘーション膜 848:第2層間絶縁膜 849:画素電極(陽極)
 850:第3層間絶縁膜 851:EL層 852:対向電極(陰極) 853:第2ハンドヘーション膜 854:第2バッファ層

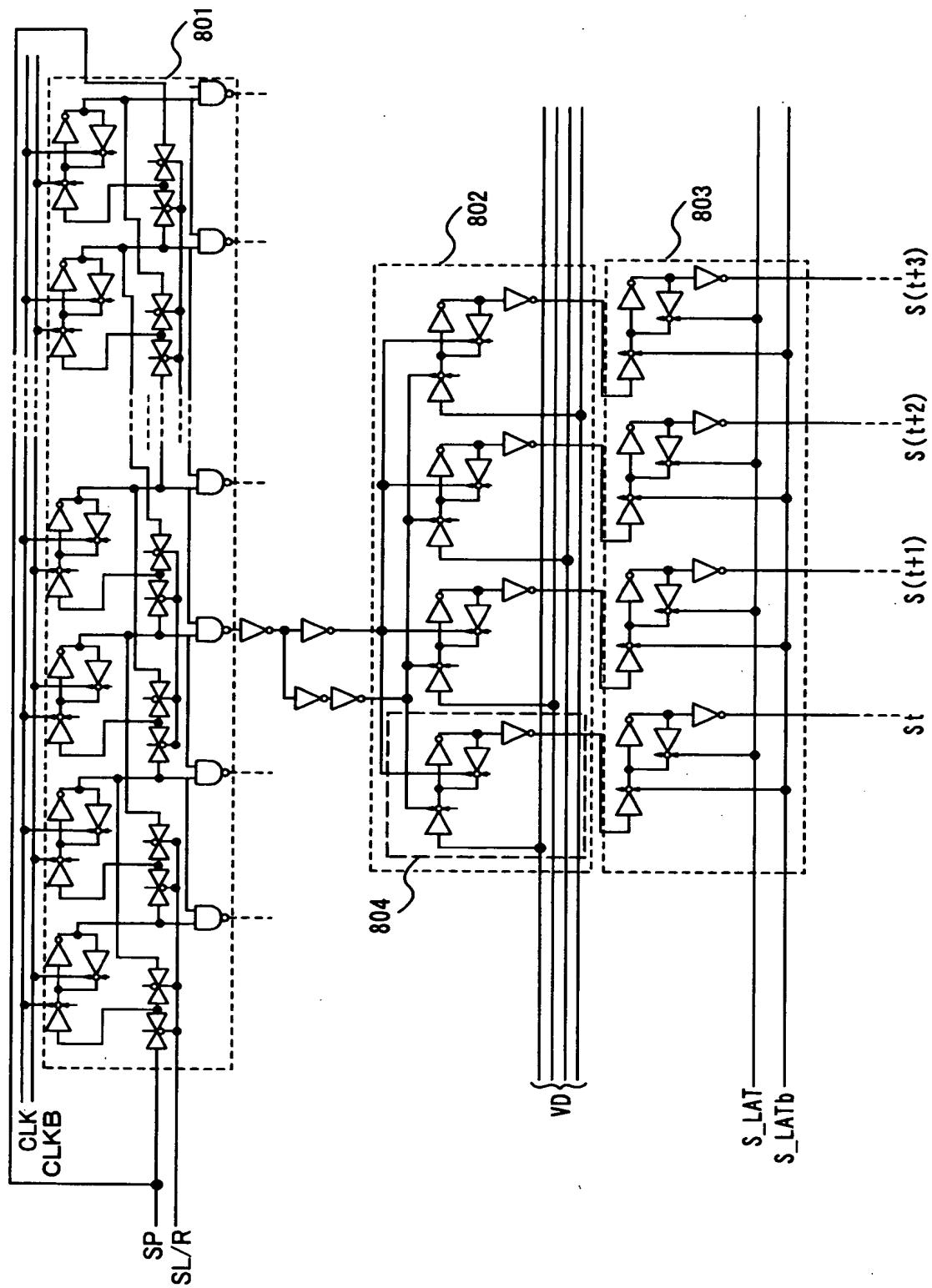
【図14】



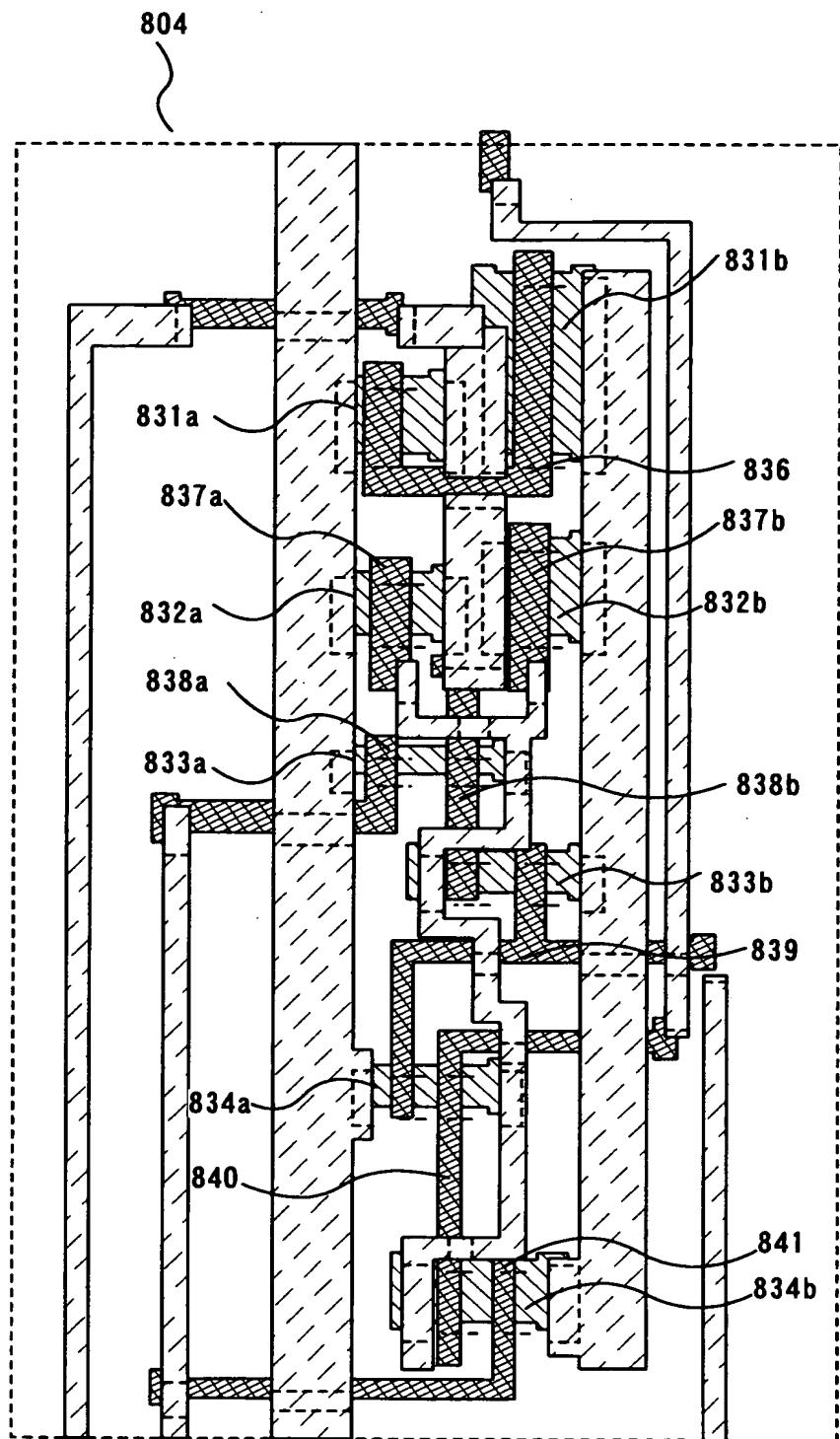
【図15】



【図16】

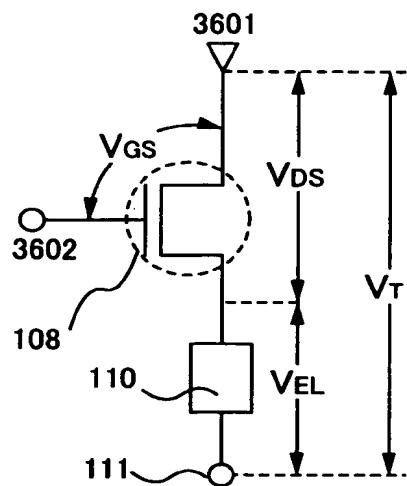


【図17】

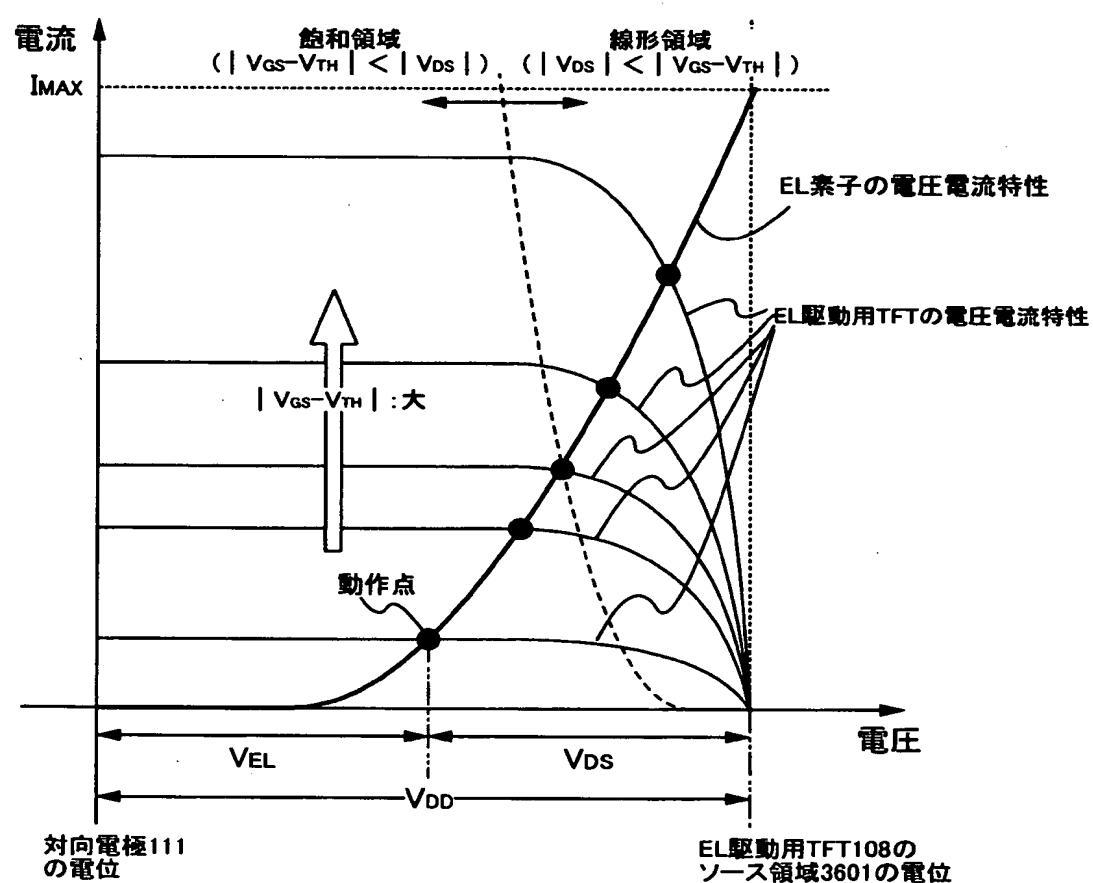


【図18】

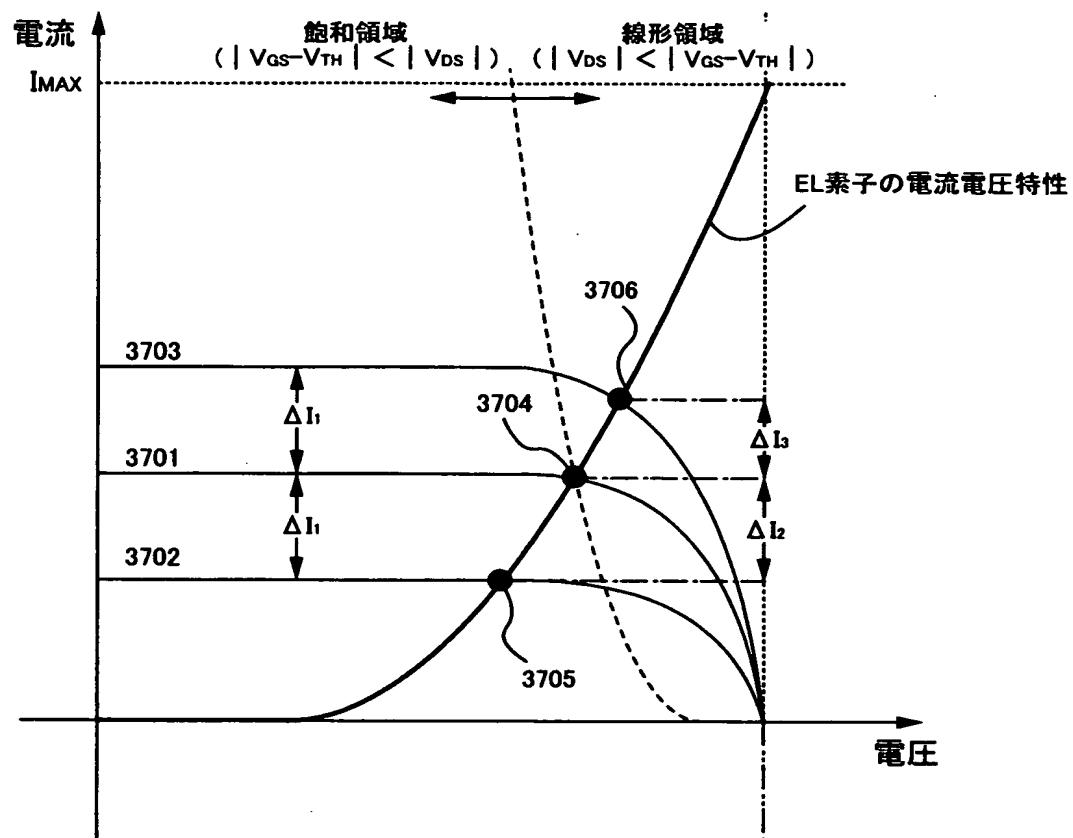
(A)



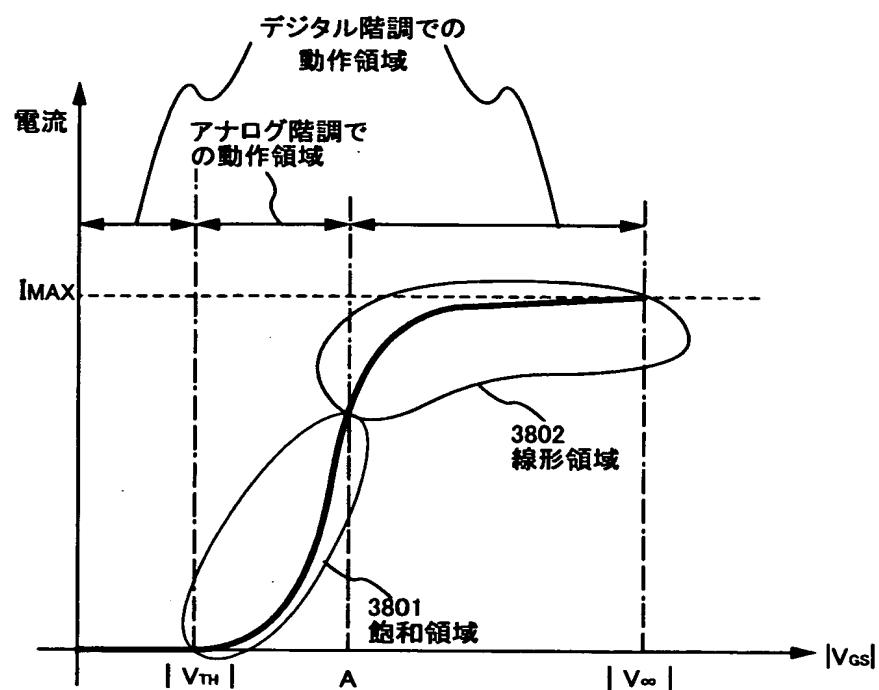
(B)



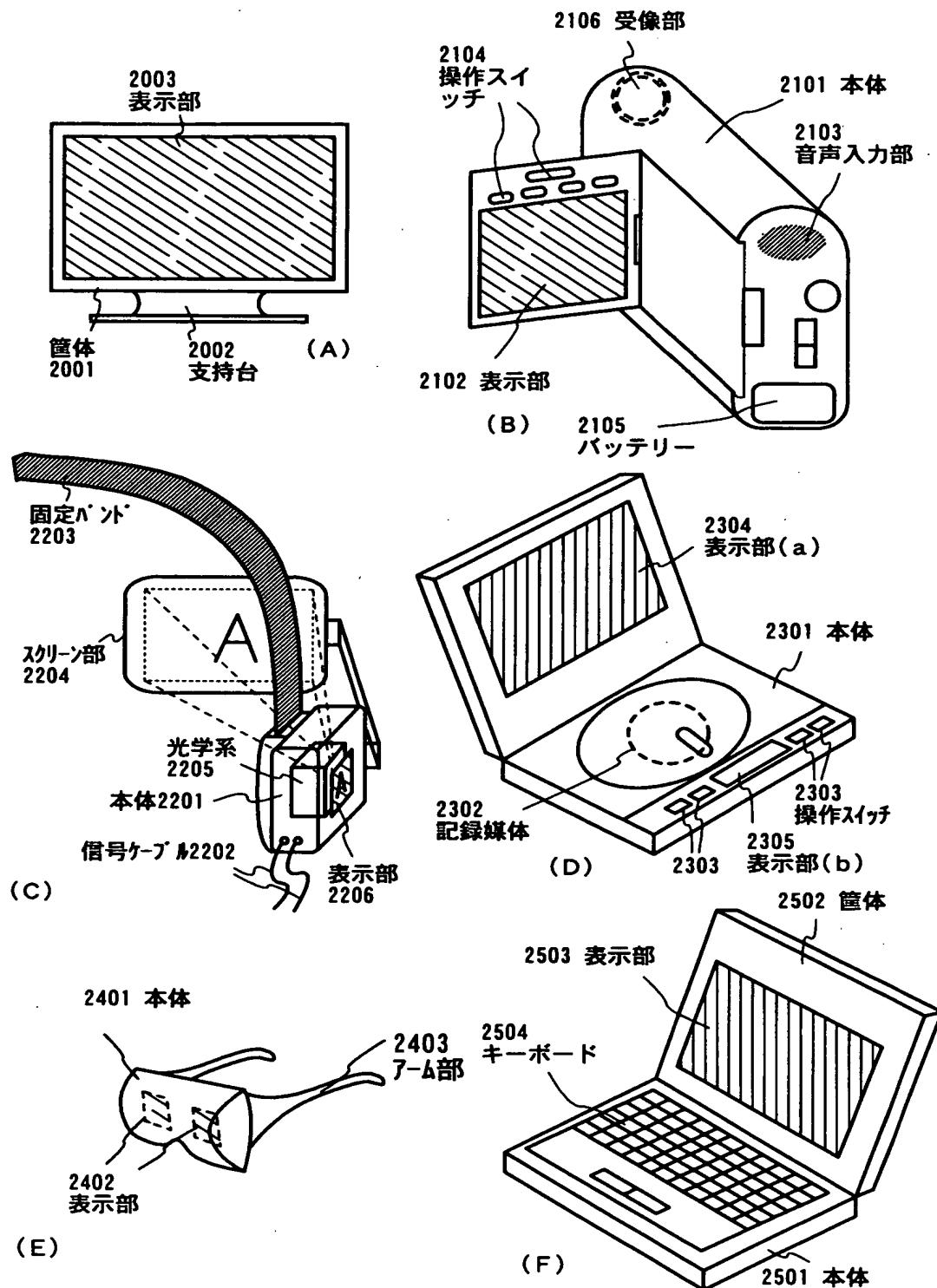
【図19】



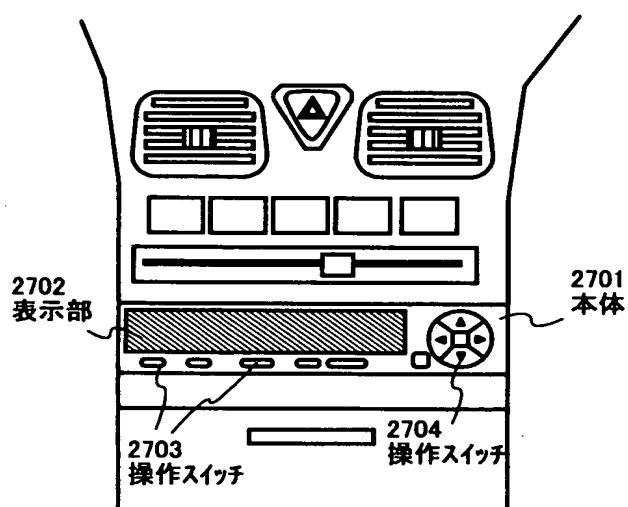
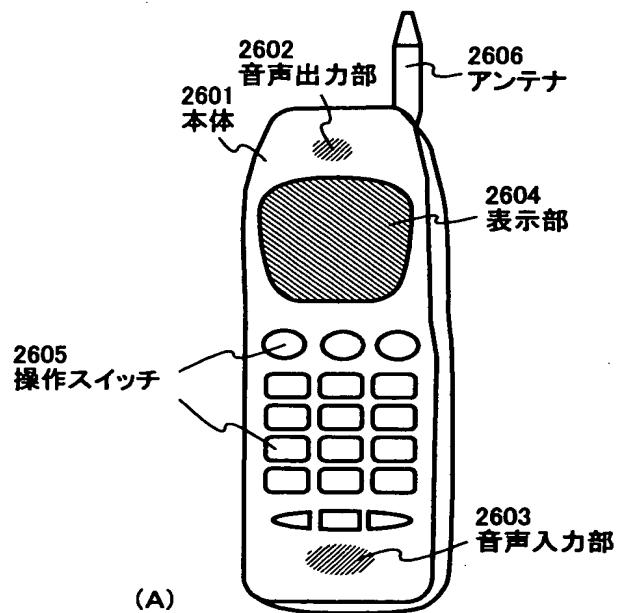
【図20】



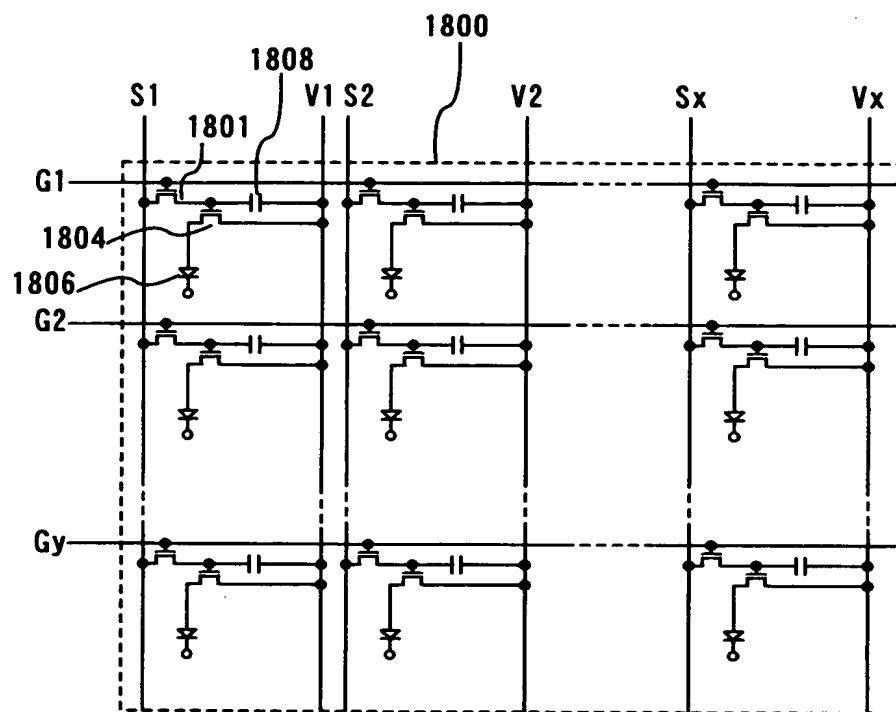
【図21】



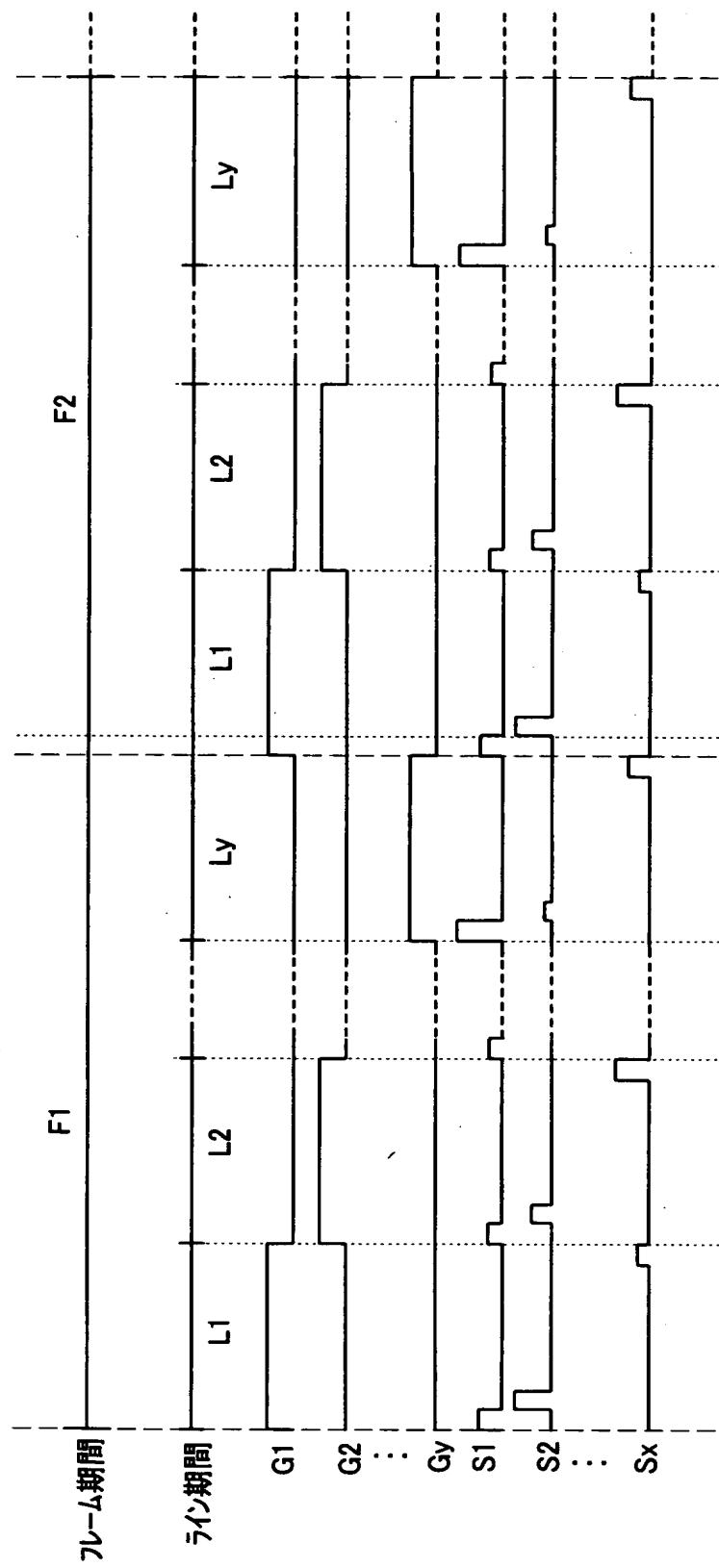
【図22】



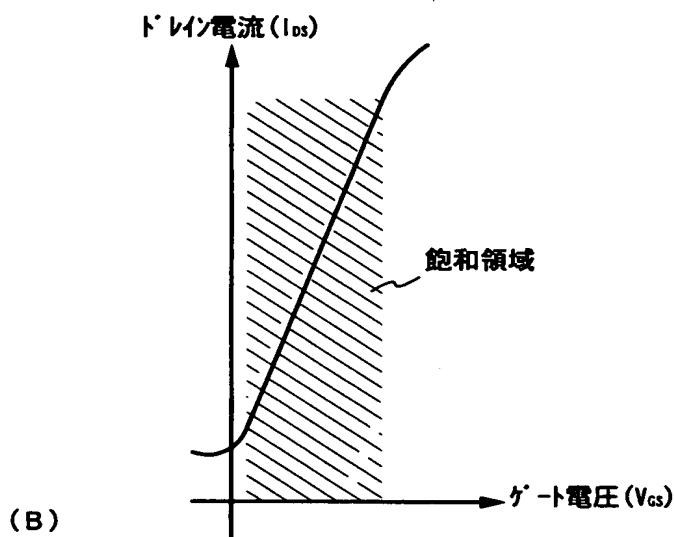
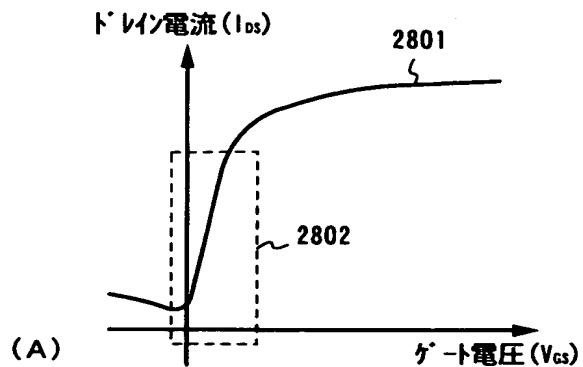
【図23】



【図24】



【図25】



【書類名】 要約書

【要約】

【課題】 鮮明な多階調カラー表示の可能なアクティブマトリクス型の電気光学装置を提供する。

【解決手段】 画素部が含んでいる記複数の画素は、EL素子と、スイッチング用TFTと、EL駆動用TFTとをそれぞれ有し、前記EL素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられたEL層とを有し、対向電極の電位と前記画素電極の電位を制御して時分割階調表示を行った。

【選択図】 図3

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所